

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Оренбургский государственный университет»

Кафедра промышленной электроники
и информационно-измерительной техники

В.Н. Булатов

АНАЛОГО-ЦИФРОВОЙ УЗЕЛ

Методические указания

Рекомендовано к изданию редакционно-издательским советом федерального государственного бюджетного образовательного учреждения высшего образования «Оренбургский государственный университет» для обучающихся по образовательной программе высшего образования по направлению подготовки 11.03.04 Электроника и микроэлектроника

Оренбург
2018

УДК 681.3(07)
ББК 32.973.2Я7
Б 90

Рецензент – доцент, кандидат технических наук А.В. Хлуденев

Булатов, В.Н.
Б 90 Аналого-цифровой узел: методические указания / В.Н. Булатов;
Оренбургский гос. ун-т. – Оренбург: ОГУ, 2018.

В методических указаниях изложены требования к содержанию и оформлению курсового проекта по проектированию аналого-цифрового узла, предусмотренного рабочей программой дисциплины «Основы аналоговой и цифровой электроники» в пятом семестре обучения, приведены варианты индивидуальных заданий.

Методические указания предназначены для обучающихся по образовательным программам высшего образования по направлению подготовки 11.03.04 Электроника и нанoeлектроника.

УДК 681.3(07)
ББК 32.973.2Я7

© Булатов В.Н., 2018
© ОГУ, 2018

Содержание

Введение	4
1 Задание на курсовое проектирование	5
2 Содержание курсового проекта	5
2.1 Комплект чертежей и текстовых документов	5
2.2 Пояснительная записка	6
2.3 Титульный лист	6
3 Методические указания	7
3.1 Разработка схемы аналогового узла	7
3.2 Разработка схемы цифрового узла	12
Список использованных источников	30
Приложение А.....	31

Введение

Целью курсового проектирования является формирование у обучающихся навыков применения элементов аналоговых и цифровых устройств при решении прикладных задач в области электроники. В результате выполнения курсового проекта обучающийся должен показать способность разрабатывать работоспособного, в полной мере соответствующего техническому заданию аналого-цифрового устройства на базе типовых электронных элементов.

Методические указания предназначены для организации самостоятельной работы обучающихся по образовательным программам высшего образования по направлению подготовки 11.03.04 Электроника и микроэлектроника при выполнении курсового проекта на тему «Аналого-цифровой узел» по дисциплине «Основы аналоговой и цифровой электроники» и содержат задание для выполнения курсового проекта и требования к содержанию пояснительной записки.

1 Задание на курсовое проектирование

Конечной целью этой работы является разработка схемы электрической функциональной схемы аналого-цифрового узла, реализующего техническое задание.

Задание на курсовое проектирование представлено в виде структурной схемы и графа алгоритма проектируемого устройства. Задания представлены в различных вариантах (приложение А). Номер варианта выбирается обучающимся в соответствии с его номером в учетной ведомости, составленной преподавателем или указанию преподавателя. При необходимости преподаватель может дополнить задание некоторыми подробностями и комментариями.

Трудоемкость проекта рассчитана примерно на 20 часов.

2 Содержание курсового проекта

Оформленный и представленный к защите курсовой проект должен содержать схему электрическую функциональную и пояснительную записку к ней. Схема электрическая функциональная должна быть выполнена на бумаге формата А4, сшитая в одну книгу вместе с пояснительной запиской, оформленная в приложении к пояснительной записки.

2.1 Комплект чертежей и текстовых документов

Комплект чертежей и текстовых документов должен содержать:

- схему электрическую функциональную, содержащую необходимые функциональные элементы, в том числе в виде больших интегральных схем и сигнальные связи между ними, оформленную в соответствии с существующими стандартами в области схемотехники ГОСТ 2.759-82 Обозначения условные графические в схемах. Элементы аналоговой техники; ГОСТ 2.743-91 Единая система конструкторской документации (ЕСКД). Обозначения условные графические в схемах. Элементы цифровой техники; ГОСТ 2.702-2011 Единая

система конструкторской документации (ЕСКД). Правила выполнения электрических схем;

- пояснительную записку, оформленную в соответствии с СТО 02069024.101-2015, ГОСТ 19.701-90 ЕСПД. Схемы алгоритмов, программ, данных и систем. Обозначения условные и правила выполнения.

2.2 Пояснительная записка

Пояснительная записка должна содержать:

- титульный лист;
- лист с развернутым заданием на курсовой проект с названием устройства;
- лист с содержанием пояснительной записки к курсовому проекту;
- раздел 1, поясняющий разработку аналоговой части проекта (выбор схемы, которая должна быть представлена рисунком, и ее расчет);
- раздел 2, содержащий подробную разработку алгоритма работы и реализацию цифровой части проекта (синтез *структурной схемы*, составление таблиц истинности, минимизация, окончательная *электрическая функциональная схема* цифровой части – обе схемы должны быть представлены соответствующими рисунками);
- список литературы;
- приложение А со схемой электрической функциональной.

2.3 Титульный лист

Титульный лист оформляется по СТО 02069024.101-2015, установленному для курсовых проектов в Оренбургском государственном университете. Название курсового проекта должно выглядеть следующим образом:

АНАЛОГО-ЦИФРОВОЙ УЗЕЛ

Вариант № ____

3 Методические указания

3.1 Разработка схемы аналогового узла

3.1.1 Автогенератор типа «трехточка» (АГ)

Основным элементом аналогового узла является автогенератор гармонического колебания, в том числе выполненный по схеме «трехточки». Количество практических схем, реализующих данный тип автогенератора, велик. Но по существу они сводятся к одному теоретическому базису. Если взять любой автогенератор, выполненный, например, на полевом транзисторе, отбросить все цепи и их элементы, *реализующие режим по постоянному току* (источники питания, развязывающие по переменной составляющей дроссели – индуктивности большой величины, резисторы) и *развязывающие конденсаторы* (конденсаторы гальванической развязки, которые обеспечивают разрыв постоянного тока), которые для переменной составляющей представляют короткое замыкание, то все схемы автогенераторов типа «трехточка» сводятся к одной, которая представлена на рисунке 1,а.

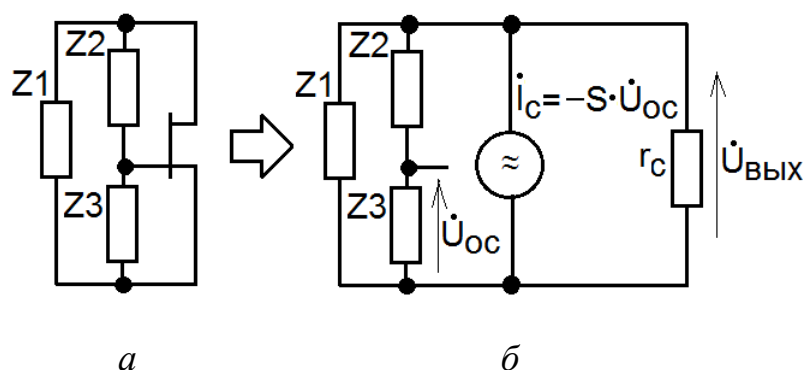


Рисунок 1 – Схема автогенератора типа «трехточка»

Эквивалентная схема автогенератора представлена на рисунке 1,б.

Методика синтеза пассивной части АГ и расчета АГ вытекает из следующего анализа.

Нагрузкой полевого транзистора (ПТ) как источника тока I , управляемого напряжением U_{oc} (напряжением на затворе относительно истока), с крутизной

передаточной характеристики S , является колебательный контур с сопротивлением Z_H (пока пренебрегаем внутренним сопротивлением стока r_C):

$$Z_H = \frac{Z_1 \cdot (Z_2 + Z_3)}{Z_1 + Z_2 + Z_3}.$$

Следовательно, коэффициент усиления каскада на ПТ, учитывая, что это инвертор:

$$K_0 = \frac{\dot{U}_{ВЫХ}}{\dot{U}_{ОС}} = -S \cdot Z_H.$$

Обратная связь на усилитель подается с делителя Z_2, Z_3 . Следовательно, коэффициент обратной связи:

$$K_{ОС} = \frac{\dot{U}_{ОС}}{\dot{U}_{ВЫХ}} = \frac{Z_3}{Z_2 + Z_3}.$$

Коэффициент передачи разомкнутой системы:

$$K_P = K_0 \cdot K_{ОС} = -S \cdot \frac{Z_1 \cdot (Z_2 + Z_3)}{Z_1 + Z_2 + Z_3} \cdot \frac{Z_3}{Z_2 + Z_3} = -S \cdot \frac{Z_1 \cdot Z_3}{Z_1 + Z_2 + Z_3}. \quad (1)$$

Исходя из баланса фаз ($\arg(K_P) = 0$), в этом выражении у правого сомножителя в виде дроби на частоте генерации должен быть знак минус. Это возможно в 2-х случаях:

- 1) Z_1 и Z_3 – оба элемента – индуктивности L_1 и L_3 соответственно;
- 2) Z_1 и Z_3 – оба элемента – емкости C_1 и C_3 соответственно.

Тогда для реализации колебательного контура сопротивление Z_2 должно реализовать противоположную проводимость:

- для первого случая – емкость C_2 ;
- для второго случая – индуктивность L_2 .

При параллельном резонансе в контуре в любом случае должно выполняться условие: $|Z_2| = |Z_1+Z_3| = \rho$ – характеристическое сопротивление контура, откуда следует определение резонансной частоты (то есть, частоты генерации):

- для первого случая:

$$\omega_0 = 2\pi f_0 = \frac{1}{\sqrt{(L_1 + L_3) \cdot C_2}};$$

- для второго случая:

$$\omega_0 = 2\pi f_0 = \frac{1}{\sqrt{\frac{C_1 \cdot C_3}{C_1 + C_3} \cdot L_2}}.$$

При этом обязательно выполняется: $Z_2 + (Z_1+Z_3) = 0$, – то есть знаменатель в выражении (1) становится равным нулю, а само выражение (1) стремится к бесконечности, то есть гарантировано выполняется условие возбуждения: $|K_p| > 1$. На самом деле при резонансной частоте «в дело вступает» r_c – внутренне сопротивление ПТ, и коэффициент усилителя при резонансе можно оценивать с помощью выражения:

$$\dot{K}_0(\omega = \omega_0) = -S \cdot r_c.$$

Например, при $S=0,001$ и $r_c=100$ кОм:

$$|\dot{K}_0(\omega = \omega_0)| = S \cdot r_c = 0,001 \cdot 100000 = 100.$$

Для выполнения условия баланса амплитуд $|K_p| \geq 1$ необходимо, чтобы

$$|\dot{K}_{oc}| = \frac{|Z_3|}{|Z_2 + Z_3|} \geq \frac{1}{|\dot{K}_0(\omega = \omega_0)|}.$$

Если известна величина Z_2 (одна из ветвей параллельного контура), то можно из этого выражения найти Z_3 :

$$|Z3| \geq \frac{|Z2|}{|K_0(\omega = \omega_0)| - 1} = \frac{|Z2|}{S \cdot r_c - 1}.$$

Величина $Z1$ находится достаточно просто:

$$|Z1| = |Z2| - |Z3|.$$

3.1.2 Разработка автогенератора типа «трехточка» (АГ)

При разработке электрической принципиальной схемы необходимо руководствоваться знаниями и навыками, которые были приобретены на теоретических и практических занятиях по курсу ОАиЦЭ, а также фрагментами схем отдельных узлов, приведенными в [2], [4].

Отдельные каскады аналогового узла обязательно должны быть смоделированы и протестированы в среде Multisim (Workbench).

Схему электрическую принципиальную необходимо выполнять в соответствии с требованиями, предъявляемыми к выполнению схем [5]. На схеме должны быть отмечены как позиция элемента схемы, так и его номинал или паспортные данные, как это показано на рисунке 2. Если есть многовариантность выбора, как, например, для компаратора на рисунке 2, то достаточно только позиционного обозначения: DA1.

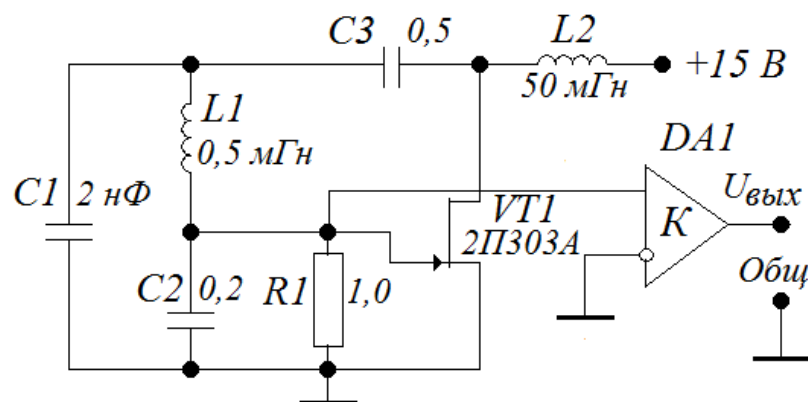


Рисунок 2 – Схема автогенератора с формирователем импульсов

При расчете автогенератора для заданной частоты генерации ω_0 (или f_0) приходится решать проблему уравнения с двумя неизвестными L и C , так как

$$\omega_0 = 2\pi f_0 = \frac{1}{\sqrt{L \cdot C}}.$$

С одной стороны, чем больше будет величина L , тем большей ожидается добротность контура, так добротность $Q = \omega_0 L / r$, где r – сопротивление потерь в конструкции катушки индуктивности, тем уже будет полоса пропускания $\Delta\omega = \omega_0 / Q$ колебательного контура и, как следствие, лучшей будет стабильность частоты автогенератора. Но с другой стороны, с увеличением числа витков катушки индуктивности возникают паразитные межвитковые емкости, которые при определенном числе витков становятся соизмеримыми с основной емкостью C колебательного контура. Это приводит к множеству резонансных частот, что не позволяет добиться стабильной генерации с расчетной частотой колебаний.

На практике эта проблема решается нахождением «золотой» середины в виде соотношений L и C для искомых частот колебаний в LC -контуре, которые представлены в таблице 1.

Из таблицы 1 видно, что частоты обратно пропорциональны значениям L и C . Эта зависимость позволяет находить значения L и C для частот, не представленных в таблице.

Пример 1 – Необходимо найти значения L и C для частоты $f_{00} = 1$ кГц.

Решение:

Выбираем ближайшее большее значение $f_0 = 1,59$ кГц из таблицы 1 и устанавливаем соотношение частот:

$$n = f_0 / f_{00} = 1,59 / 1 = 1,59.$$

Определяем L и C с использованием табличных данных для L и C для частоты $f_0 = 1,59$ кГц:

$$L = n \cdot 50 \text{ мГн} = 1,59 \cdot 50 \text{ мГн} = 79,5 \text{ мГн};$$

$$C = n \cdot 200 \text{ нФ} = 1,59 \cdot 200 \text{ нФ} = 318 \text{ нФ}.$$

Таблица 1 – Соотношения между L и C для резонансных частот $f_0(\omega_0)$

f_0 , кГц	ω_0 , рад/с	L , мГн	C , нФ
15900	10^8	0,005	0,02
1590	10^7	0,05	0,2
159	10^6	0,5	2
15,9	10^5	5	20
1,59	10^4	50	200
0,159	10^3	500	2000
0,0159	10^2	5000	20000
7960	$0,5 \cdot 10^8$	0,01	0,04
796	$0,5 \cdot 10^7$	0,1	0,4
79,6	$0,5 \cdot 10^6$	1	4
7,96	$0,5 \cdot 10^5$	10	40
0,796	$0,5 \cdot 10^4$	100	400
0,0796	$0,5 \cdot 10^3$	1000	4000
0,00796	$0,5 \cdot 10^2$	10000	40000

Величины сопротивлений дросселей $X_{др}$ (L2 на рисунке 2) должны выбираться из условия:

$$X_{др} \geq 100 \cdot \rho.$$

Величины сопротивлений развязывающих емкостей $X_{рзв}$ (C3 на рисунке 2) должны выбираться из условия:

$$X_{рзв} \leq \rho/100.$$

3.2 Разработка схемы цифрового узла

3.2.1 Общие принципы составления логических уравнений

При проектировании элементов и узлов цифровой электроники используется аппарат булевой алгебры. Освоив ее некоторые элементы, можно составлять, преобразовывать и упрощать (минимизировать) логические схемы любой сложности.

Основу булевой алгебры составляют постулаты булевой алгебры. Объектом булевой алгебры является событие. Для простоты описания события обозначают

отдельными символами. Допустим, событие "двигатель работает" - событие "А". Информация о событии характеризуется сообщением: если событие есть, то $A=1$ (двигатель работает); если события нет, то $A=0$ (двигатель не работает).

Для полноты описания события используют дополнение к событию. Для нашего примера – это событие "двигатель не работает". Обозначим его событием "Е". Тогда: $E=1$ - двигатель не работает, $E=0$ - двигатель не не работает, то есть работает. Очевидно, что события А и Е взаимосвязаны: одно событие отрицает другое. Поэтому вводят понятие "отрицание" или "инверсия" события, которое обозначается чертой над символом события: $A = \bar{E}$; $E = \bar{A}$. Инверсия (\bar{E}) - одна из элементарных базовых логических функций.

Рассмотрим другой пример. Пусть событие "С1" есть доставка груза из пункта "М" в пункт "К". Она может быть осуществлена поездом (событие "А") или автомобилем (событие "Е"). Союз "ИЛИ" и определяет название этой логической операции, которая известна также под названиями "дизъюнкция" или "логическое сложение". В булевой алгебре уравнение дизъюнкции записывается так:

$$C1 = A \vee E.$$

Как и в числовой алгебре, где аналитическую запись функции можно отобразить еще и графически, в булевой алгебре есть вторая форма представления всевозможных значений функции – таблица истинности функции, где слева проставляются значения аргумента (переменных), а справа - значения логической функции. Для рассмотренного примера:

A	E	$C1 = f(A,E) = A \vee E$
0	0	0
0	1	1
1	0	1
1	1	1

Другую элементарную логическую функцию можно пояснить на другом примере. Пусть событие "С2" - "слепой дождик". Это возможно при одновременном

наличии дождя и солнца. Пусть наличие дождя - событие "А", а наличие солнца - событие "Е". Уравнение событий будет выглядеть так:

$$C2 = A \wedge E.$$

Эта функция называется по имени связывающего события "А" и "Е" союза "И". Кроме этого названия существуют еще два: "логическое умножение" и "конъюнкция". Составим по смыслу таблицу истинности функции $C2 = f(A,E)$:

A	E	$C2 = f(A,E) = A \wedge E$
0	0	0
0	1	0
1	0	0
1	1	1

Из анализа этой таблицы понятно, почему эта функция называется логическим умножением: если хотя бы одно из событий, составляющих событие $C2$, отсутствует (сомножитель равен нулю), то отсутствует и само событие $C2$ (произведение равно нулю).

Составление таблиц истинности требует одного пояснения. При переборе вариантов переменных (комбинаций) необходимо следить, чтоб не было повторов комбинаций переменных и не было пропущенных. Проверку можно делать по формуле:

$$K = 2^n,$$

где K - число всевозможных комбинаций, а n - число переменных.

Посредством этих трех (НЕ, ИЛИ, И) элементарных логических функций можно описать логические структуры любой сложности. Обычно эти структуры описываются в исходной форме в виде *совершенной дизъюнктивной нормальной формы* (далее просто – ДНФ) или *совершенной конъюнктивной нормальной формы* (далее просто – КНФ). Причем, превалирует здесь ДНФ как функция, являющаяся наиболее естественной для описания сложных событий.

Как уже говорилось, вначале, как правило, составляется таблица истинности. А вот следующим этапом является составление уравнения по этой таблице. Вернемся к таблице истинности функции $C1 = A \vee E$. Опишем это событие

формально: событие С1 состоится в 3-х случаях, когда есть или «не А» и «Е», или «А» и «не Е», или А и Е, то есть

$$C1 = (\bar{A} \wedge E) \vee (A \wedge \bar{E}) \vee (A \wedge E). \quad (2)$$

Получили ДНФ, которая формулируется как логическая сумма логических произведений, где каждое произведение обязательно содержит все переменные в прямом или инверсном виде.

3.2.2 Минимизация логических функций аналитическим методом

Заключительным этапом синтеза логических схем должен быть по смыслу этап составления логической схемы с использованием элементов, которые физически реализуют функции НЕ, ИЛИ, И. Если сразу реализовывать составленные по смыслу таблицы истинности, то в этом случае неизбежно будут получаться громоздкие, сложные, дорогостоящие и менее надежные схемы. Чтобы избежать этого, полученные логические функции упрощают (минимизируют) с помощью постулатов, законов и правил булевой алгебры, используя различные приемы минимизации.

Ниже приводятся только те постулаты и законы, которые будут использоваться в данной методической разработке.

Постулаты булевой алгебры:

$$A \wedge 0 = 0; \quad A \vee 0 = A;$$

$$A \wedge 1 = A; \quad A \vee 1 = 1;$$

$$A \wedge \bar{A} = 0; \quad A \vee \bar{A} = 1;$$

$$A \wedge A = A; \quad A \vee A = A.$$

Дистрибутивный закон:

$$(A \wedge B) \vee (A \wedge C) = A \wedge (B \vee C);$$

$$(A \vee B) \wedge (A \vee C) = A \vee (B \wedge C).$$

Отсюда следует, что, в отличие от обычной арифметики, здесь можно выносить не только общий множитель за скобки суммы, но и общее слагаемое за скобки произведения.

Правило де Моргана:

$$\overline{A \vee B} = \overline{A} \wedge \overline{B};$$

$$\overline{A \wedge B} = \overline{A} \vee \overline{B}.$$

Логические элементы, которые реализуют элементарные логические функции, обозначаются следующим образом (рисунок 3):

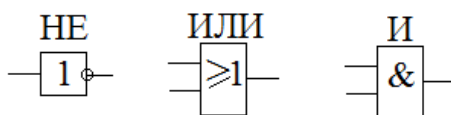


Рисунок 3 – Условные графические обозначения (УГО) элементов, реализующих простые логические функции

В дальнейшем, для простоты обозначений, произведем замены:

$$" \wedge " \rightarrow " \cdot " ;$$

$$" \vee " \rightarrow " + " .$$

Рассмотрим пример минимизации выражения (2). Если это выражение реализовывать без минимизации, то для этого потребуется 2 элемента НЕ, 3 двухвходовых элемента И и один трехвходовой элемент ИЛИ (рисунок 4).

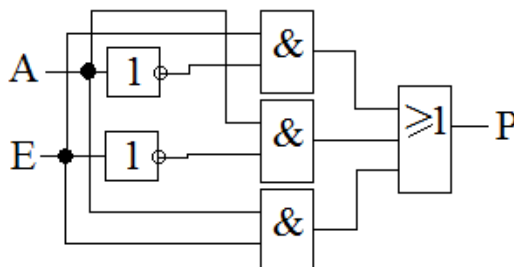


Рисунок 4 – Пример минимизации выражения

Попробуем упростить выражение (2), применив постулаты и законы булевой алгебры:

$$P = \bar{A} E + A \bar{E} + A E = E (\bar{A} + A) + A \bar{E} = E \cdot 1 + A \bar{E} = E + A \bar{E} = \\ = (E + A) (E + \bar{E}) = (E + A) \cdot 1 = A + E.$$

Результат – это всего лишь одна двухвходовая схема ИЛИ (рисунок 5):

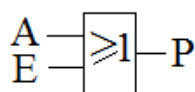


Рисунок 5 – Одна двухвходовая схема ИЛИ

Таким образом, получены две схемные реализации одной и той же функциональной зависимости, но очевиден выигрыш второго варианта.

Следует отметить, что в данном примере из таблицы истинности очевидно, что это элементарная ИЛИ (в практических задачах это, как правило, не очевидно). Но сам пример показывает, насколько могут быть эффективными приемы минимизации.

3.2.3 Графический метод минимизации логических функций

Для упрощения более сложных функций использование указанных приемов лучше производить с помощью карты Карно. Исходная форма: ДНФ или КНФ. В дальнейшем ограничимся изложением указанного метода для функций, представленных в виде ДНФ.

Первый этап - составление карты Карно:

а) разбить прямоугольник на число клеток K , равное числу всевозможных комбинаций из числа n переменных, представленных в прямом или инверсном виде ($K = 2^n$);

б) каждой клетке присвоить место (координату) для одной из комбинаций таким образом, чтоб любые две соседние клетки (в том числе, и противоположные

клетки на краях карты) отличались друг от друга изменением состояния только одной переменной (для этих целей подходит код Грея);

в) проставить в клетки "1" или "0" в зависимости соответственно от наличия или отсутствия соответствующей комбинации.

Второй этап - минимизация:

а) "склеить" в прямоугольники *максимально возможного* размера монолиты из единиц, при этом число единиц в "склейке" должно быть равно $M = 2^k$, где $k=0,1,2,\dots$, – стремясь при этом к *минимальному* числу "склеек";

б) произвести дополнительную проверку на истинность "склеек": "склейка" истинна, если противоположные клетки на краях "склейки" отличаются друг от друга изменением состояния только одной переменной;

в) по полученным склейкам выписать дизъюнктивную форму (ДФ) записи логических функций (сумму произведений), при этом число слагаемых ДФ должно равняться числу склеек, а каждое слагаемое должно содержать в произведении только те переменные или их отрицания, которые при обходе по периметру "склейки" не меняют своего состояния.

Пример 1 – Применим карту Карно (рисунок 6) для минимизации выражения (2):

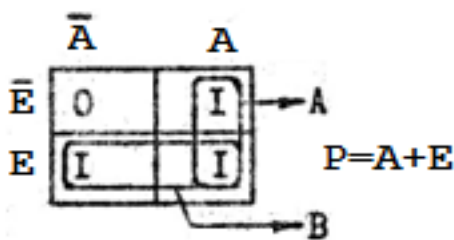


Рисунок 6 – Карта Карно для минимизации

В случаях, когда есть запрещенные комбинации (то есть не допустимые ни в коем случае), место этих комбинаций в карте Карно отмечают символом X (икс – произвольное состояние), а при минимизации, в зависимости от выгоды, присваивают им фиктивные значения "1" или "0".

Пример 2. Дана таблица истинности функции $\Phi = f(A, B, C)$:

A B C	Ф
0 0 0	0
0 0 1	1
0 1 0	1
0 1 1	1
1 0 0	0
1 0 1	1

Составляем карту Карно и минимизируем функцию Ф:

	B	0	1	1	0	
	C	0	0	1	1	
A	0	0	1	1	1	Ф=B+C
1	0	X	X	1		
			X=1	X=1		

Рисунок 7 – Минимизация функции Ф (рисунок 7)

При большом числе переменных этот метод требует многомерного представления. Это означает, что становится невозможным плоское представление карты Карно с однозначным заданием координат ячеек для комбинаций согласно приведенным выше правилам. Другими словами говоря, при плоском задании карты Карно обязательно соседство двух ячеек с комбинациями, отличающихся друг от друга изменением состояния только одной переменной, но также возможно наличие ячеек, обладающих такими же свойствами по отношению к рассматриваемой ячейке, в других местах (как правило, по горизонтальному или вертикальному ряду, или там и там) карты Карно. А это значит, что их также можно "склеивать". Отсюда, вытекает дополнение к правилам минимизации с помощью карты Карно, учитывая, что и одна ячейка может рассматриваться как "склейка":

а) можно "склеивать" одинаковые "склейки", но при этом во вновь образованной "макросклеике" их число должно быть равным 2^m , где $m = 0, 1, 2, \dots$;

б) необходимо производить проверку на истинность полученных "макросклеек" циклическим (односторонним, по кругу) обходом их отдельно по вертикали и по горизонтали, при этом на каждом скачке между "склейками" должна менять состояние только одна переменная.

Пример 3. Пусть задана ДНФ $\Phi = f(A, B, C, D, E, H, M)$, которая уже расположена в карте Карно (здесь в пустых клетках - логический "0") так, как это показано на рисунке 8.

	D	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
E	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0
H	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0
A B C M	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
0 0 0	1						x	1	1		x						1
0 0 1			1	1			x	1	1	1	1	1	x		1	1	
0 1 1			1	1						1	1			1	1		
0 1 0	1							1	1								1
1 1 0	1			x	x	x		1	1								1
1 1 1			1	x	x					x	1	x	x	x	x	x	x
1 0 1			x	1			x	x	x	1	x			x	x	x	
1 0 0	1	x	x					1	1	x				x	x		x

Рисунок 8 – ДНФ $\Phi = f(A, B, C, D, E, H, M)$, которая уже расположена в карте Карно

Обозначим штриховкой "склейки" так, чтобы "макросклейки" отличались друг от друга (стрелками показан порядок обхода "макросклеек" при проверке на их истинность). После минимизации:

$$\Phi = \overline{CDE} + \overline{BDEH} + CDM + CE\overline{HM}.$$

Здесь, особенно виден выигрыш после минимизации: из 32-х слагаемых (32-х входная схема ИЛИ, 32 шт. 7-и входных элемента И и 7 элементов НЕ) осталось всего 4 слагаемых, да и те содержат сомножителей в среднем в два раза меньше (для схемы понадобятся: 5 элементов НЕ, 2 элемента И на 2 входа, 2 элемента И на 3 входа и элемент ИЛИ на четыре входа).

3.2.4 Применение триггеров в генераторах кодов

Триггер как устройство, как элемент памяти (ЭП), является обязательным компонентом цифровых автоматов, в основе своей реализующих перебор (генерацию) двоичных кодов по определенному алгоритму (графу).

Особенное значение в этой области имеют синхронизируемые по записи триггеры, в частности синхронный D-триггер и JK-триггер, которые производят изменение своего состояния (запись) соответственно по переднему (при переходе от "0" к "1", обозначается знаком \uparrow) или по заднему (при переходе от "1" к "0", обозначается как \downarrow) фронту сигнала синхронизации С. Этот фронт, производящий действие, называется активным. На рисунке 7 представлены УГО простейших D-триггера (рисунок 9,а) и JK-триггера (рисунок 9,б).

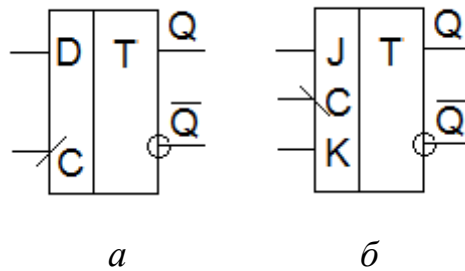


Рисунок 9 – УГО D-триггера (а) и JK-триггера (б)

Таблицы истинности этих триггеров приведены ниже.

Таблица 2 – Таблица истинности синхронного D-триггера

Входы		Выход	Режим (действие)
С	D	Q_t	
0	X	Q_{t-1}	Хранение
1	X	Q_{t-1}	Хранение
\uparrow	0	0	Сброс (запись «0»)
\uparrow	1	1	Установка (запись «1»)

Таблица 3 – Таблица истинности простого JK-триггера

Входы		Выход	Режим (действие)
C	J K	Q_t	
0	X X	Q_{t-1}	Хранение
1	X X	Q_{t-1}	Хранение
↓	0 0	Q_{t-1}	Хранение
↓	0 1	0	Сброс (запись «0»)
↓	1 0	1	Установка (запись «1»)
↓	1 1	$\overline{Q_{t-1}}$	Инверсия предыдущего состояния

Примечание к таблицам 2 и 3 – Индекс t означает время после активного фронта С, индекс $t-1$ – время до активного фронта С.

ЭП обладает, как всякое физическое устройство, инерционностью, которая выражается во времени задержки t_3 от момента активного фронта сигнала синхронизации записи до момента появления записанного события на выходе Q ЭП. В отличие от других вариантов использования ЭП, в нашем случае это качество ЭП становится преимуществом, так как позволяет использовать его выходное состояние в качестве его же входной функции для задания его следующего состояния, которое установится уже по следующему активному фронту сигнала синхронизации.

Например, в схемах, приведенных на рисунке 10, D-триггер будет записать в себя по переднему фронту сигнала Т свое, но проинвертированное состояние. То же самое согласно таблице 3 будет происходить и в JK-триггере, но только по заднему фронту сигнала Т.

В частности, из временной диаграммы на рисунке 10 видно, что в этих режимах триггеры осуществляют деление входной частоты повторения сигнала Т на два. Следовательно, если последовательно соединить n подобных схем из D-триггеров или JK-триггеров, то можно реализовать делитель частоты на 2^n , который можно назвать *асинхронным* двоичным счетчиком с циклическим перебором чисел в диапазоне: $0, \dots, 2^n - 1$. Асинхронным он будет являться потому, что очередной код двоичного числа будет формироваться не одновременно, а согласно «принципу домино» из-за задержек ЭП.

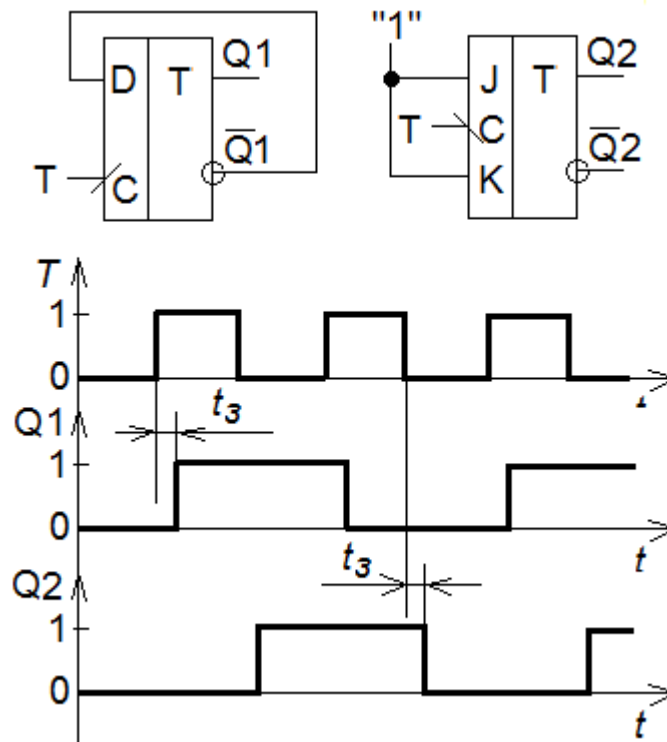


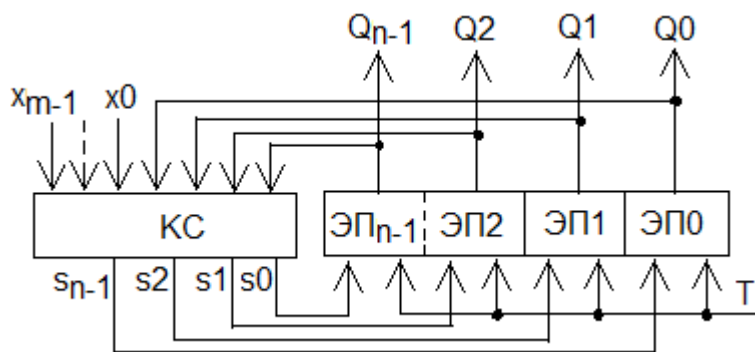
Рисунок 10 – Временная диаграмма

В действительности, ЭП в цифровых автоматах реализуют множество переходов между множеством состояний двоичных кодов. Но также как и в рассмотренном выше примере, предыдущее состояние триггеров участвует в формировании последующего состояния.

Для того чтобы все триггеры автомата вели себя как единый ЭП, их входы "С" соединяют параллельно в один узел и подключают к сигналу Т, что и обеспечивает их синхронное переключение.

Генераторы кодов, то есть устройства, способные перебирать двоичные коды, можно рассматривать как примитивные управляемые цифровые автоматы со следующей обобщенной структурной схемой (рисунок 11):

Отсюда видно, что все проектирование генератора кода $\{Q\}$ сводится практически к синтезу комбинационной схемы КС.



КС - комбинационная схема; ЭП - элемент памяти; x – управляющие входы;
 n - число ЭП; s - входы ЭП (D – для D-триггера, JK – для JK-триггера).

Рисунок 11 – Структурная схема ядра цифрового автомата

Большое значение имеет правильный, оптимальный выбор типа триггера. При этом можно ориентироваться на следующие рекомендации, вытекающие из практики:

- а) чем больше возможностей у ЭП по управлению, тем проще КС;
- б) чем ближе по назначению конкретный ЭП к генерируемому коду, тем опять же проще КС.

В частности, JK-триггер по своей идеологии максимально приспособлен к генерации двоичных чисел в прямом и обратном кодах, а синхронный D-триггер позволяет получать простые КС при генерации заполняющих кодов и, иногда, кодов типа Грея.

Ниже приведены два примера синтеза генераторов кода.

Пример 1. Необходимо реализовать генератор кода со следующим графом (рисунок 12):

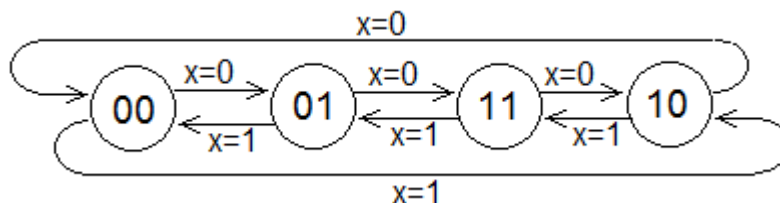


Рисунок 12 – Граф генератора кода

Синтез генератора кода

Из рисунка 12 следует, что необходимо реализовать 2-разрядный генератор кода Грея с прямым ($x=0$) и обратным ($x=1$) счетом.

Выбираем в качестве ЭП синхронный D-триггер и составляем структурную схему генератора кода Грея (рисунок 13):

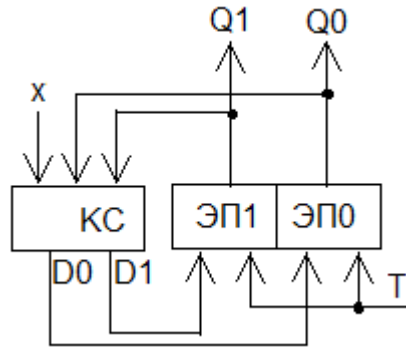


Рисунок 13 – Структурная схема генератора кода Грея

Составляем таблицу истинности КС согласно графу и рисунку 13 (по текущему состоянию $\{Q\}$ на выходе КС должен формироваться код $\{D\}$ для записи следующей кодовой комбинации – согласно графу):

Таблица 4 – Таблица истинности КС

x	Q1	Q0	D1	D0
0	0	0	0	1
0	0	1	1	1
0	1	1	1	0
0	1	0	0	0
1	0	0	1	0
1	0	1	0	0
1	1	1	0	1
1	1	0	1	1

Примечание. Для применения карт Карно в левой части таблицы в столбцах Q_i коды рекомендуется сразу составлять в последовательности, совпадающей с последовательностью построчного заполнения карты Карно.

Производим минимизацию:

	Q1	0	0	1	1
x	Q0	0	1	1	0
0		0	1	1	0
1		1	0	0	1

$$D1 = \bar{x} \cdot Q0 + x \cdot \bar{Q0}$$

	Q1	0	0	1	1
x	Q0	0	1	1	0
0		1	1	0	0
1		0	0	1	1

$$D0 = \bar{x} \cdot \bar{Q1} + x \cdot Q1$$

С учетом результатов минимизации КС составляем схему электрическую принципиальную данного генератора кода (рисунок 14) с реверсом счета по коду Грея (x=0 – счет «вперед», x=1 – счет «назад»):

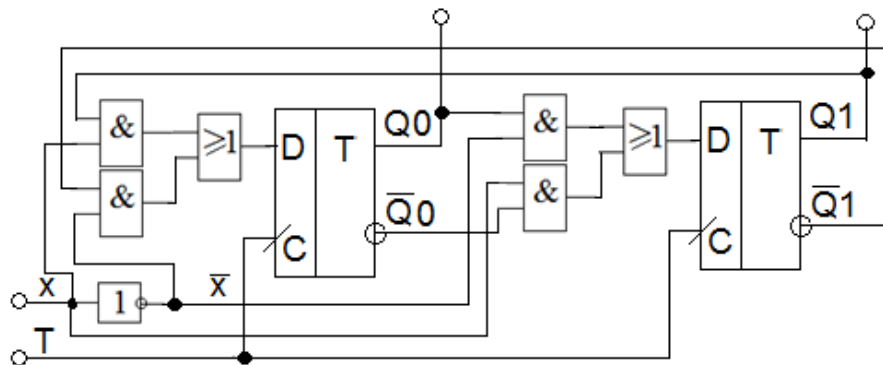


Рисунок 14 – Схема реверсивного генератора кода Грея

Пример 2. Необходимо реализовать генератор кода со следующим графом (рисунок 15):

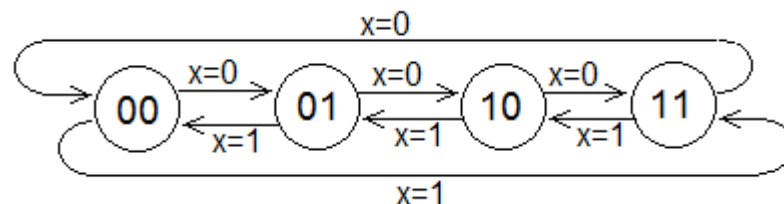


Рисунок 15 – Граф генератора кода

Синтез генератора кода последовательности двоичных чисел

Из рисунка 15 следует, что необходимо реализовать 2-разрядный генератор кода в виде последовательности двоичных чисел с прямым ($x=0$) и обратным ($x=1$) счетом.

Выбираем в качестве ЭП JK-триггер и составляем структурную схему генератора последовательности чисел в двоичном коде (рисунок 16):

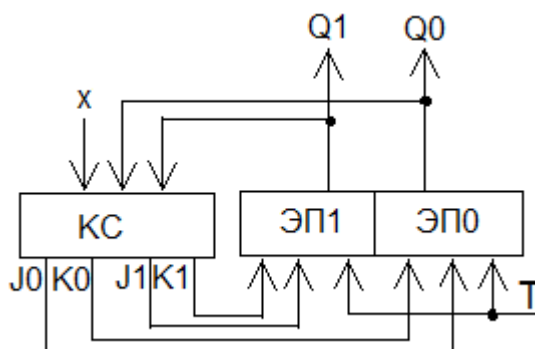


Рисунок 16 – Структурная схема генератора кода двоичных чисел

Для составления таблицы истинности КС требуется установить зависимость выходных функций J и K от предыдущей $\{Q_{t-1}\}$ и последующей $\{Q_t\}$ кодовых комбинаций на выходе JK-триггеров. Для этих целей воспользуемся таблицей истинности JK-триггера, которая допускает многовариантность установки состояния триггера (таблица 3), и составим таблицу условий всевозможных переключений (таблица 5):

Таблица 5 – Таблица условий переключений JK-триггера

Необходимое переключение $Q_{t-1} \rightarrow Q_t$	Вариант 1 (установка «0» или «1»)		Вариант 2 (хранение или инверсия)		Результирующие функции переключения	
	J	K	J	K	J	K
0 → 0	0	1	0	0	0	X
0 → 1	1	0	1	1	1	X
1 → 0	0	1	1	1	X	1
1 → 1	1	0	0	0	X	0

Составим таблицу истинности КС, используя заданный граф (рисунок 15) и таблицу 5 (для облегчения составления таблицы здесь же вставляем столбец с последующими состояниями триггеров):

Таблица 6 – Таблица истинности КС для рисунка 13

Вход КС			Код последующего состояния		Выход КС			
x	Q1	Q0	Q1 _t	Q0 _t	J1	K1	J0	K0
0	0	0	0	1	0	X	1	X
0	0	1	1	0	1	X	X	1
0	1	1	0	0	X	1	X	1
0	1	0	1	1	X	0	1	X
1	0	0	1	1	1	X	1	X
1	0	1	0	0	0	X	X	1
1	1	1	1	0	X	0	X	1
1	1	0	0	1	X	1	1	X

Производим минимизацию:

	Q1	0	0	1	1
x	Q0	0	1	1	0
0		0	1	X	X
1		1	0	X	X

$$J1 = \bar{x} \cdot Q0 + x \cdot \bar{Q0}$$

	Q1	0	0	1	1
x	Q0	0	1	1	0
0		X	X	1	0
1		X	X	0	1

$$K0 = \bar{x} \cdot Q0 + x \cdot \bar{Q0}$$

	Q1	0	0	1	1
x	Q0	0	1	1	0
0		1	X	X	1
1		X	1	1	X

$$J0 \equiv 1$$

	Q1	0	0	1	1
x	Q0	0	1	1	0
0		X	1	1	X
1		X	1	1	X

$$K0 \equiv 1$$

По результатам минимизации КС составляем схему электрическую принципиальную данного генератора кода последовательности двоичных чисел (рисунок 17) с режимами: x=0 – счет «вперед», x=1 – счет «назад»:

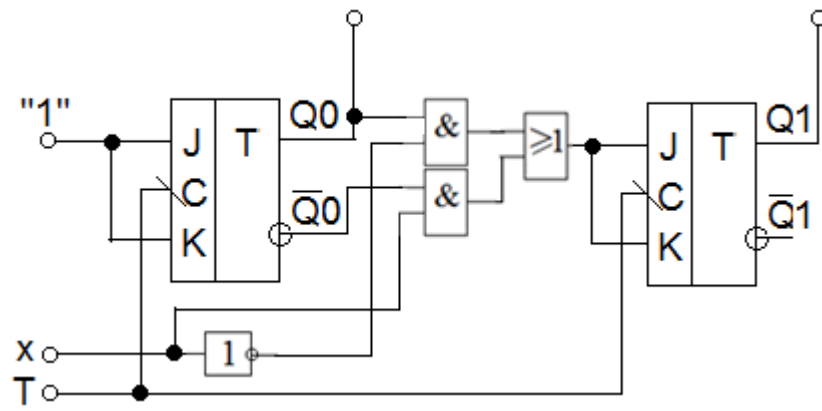


Рисунок 17 – Схема реверсивного двоичного счетчика

Список использованных источников

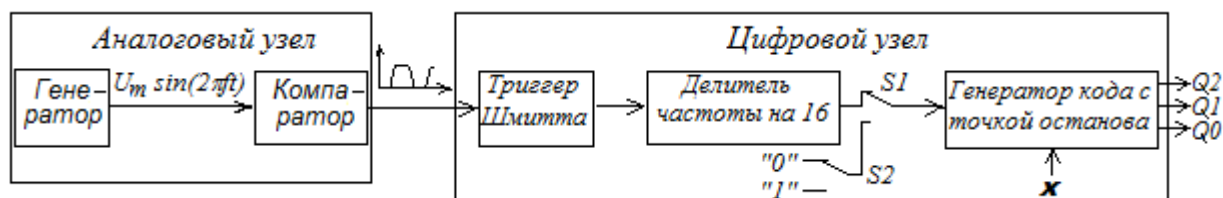
- 1 Булатов, В.Н. Конспект лекций по дисциплине «Основы аналоговой и цифровой электроники». – Оренбург, 2015.
- 2 Гутников, В.С. Интегральная электроника в измерительных устройствах [Текст] / В.С. Гутников. – 2-е изд., перерб. и доп.- Л.: Энергоатомиздат, 1988. – 304 с.
- 3 Кирина, М. Программа схемотехнического моделирования Multisim / М. Кирина, К. Фомина. - Режим доступа:
<https://www.coursehero.com/file/12730568/manual-multisim/>
- 4 Пухальский, Г.И. Проектирование дискретных устройств на интегральных микросхемах [Текст] / Г.И. Пухальский, Т.Я. Новосельцева. - М.: Радио и связь, 1990. – 304 с.
- 5 СТО 02069024.101-2015. Работы студенческие. Общие требования и правила оформления Оренбургский государственный университет, 2015.

Приложение А

(обязательное)

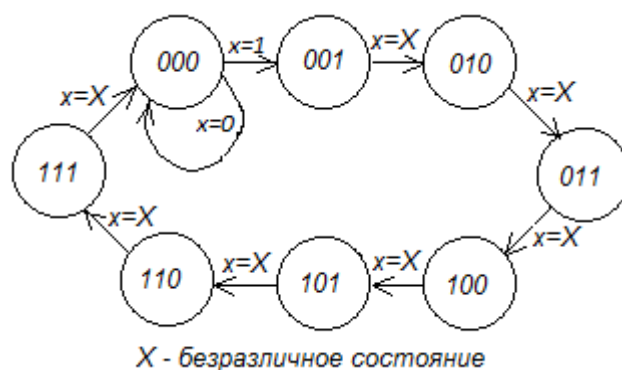
Задания на курсовое проектирование Вариант 1

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_c \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим истоком, с частотой генерации $f = 160\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



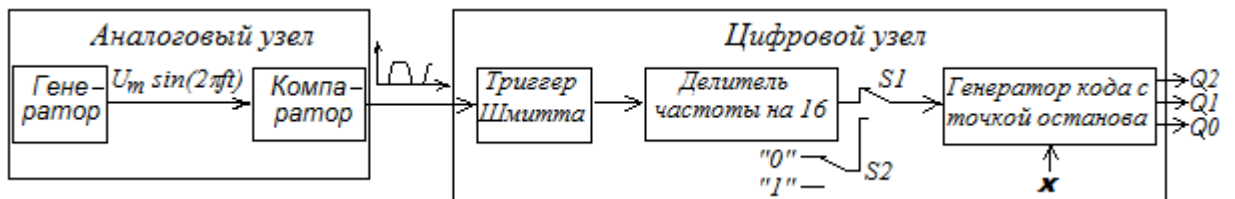
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции x формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

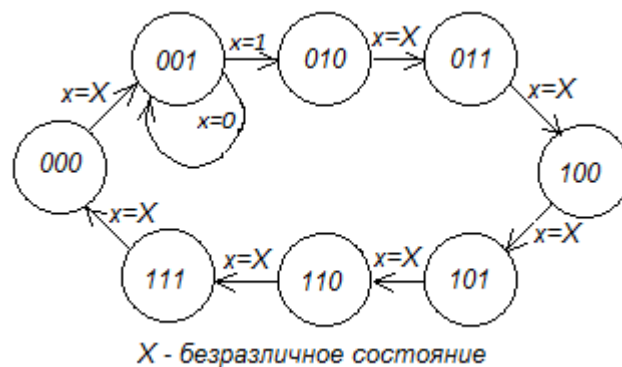
Вариант 2

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_c \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим затвором, с частотой генерации $f = 320\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



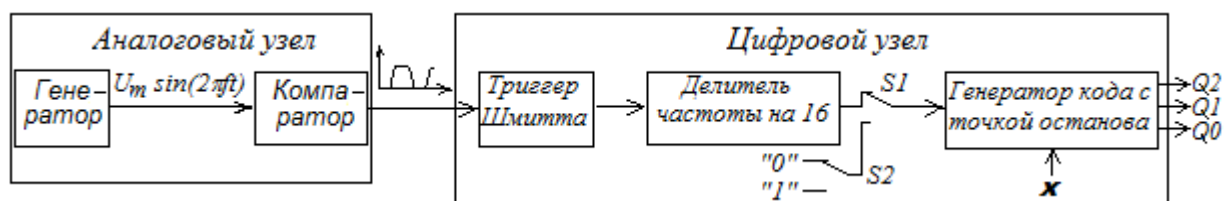
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции x формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

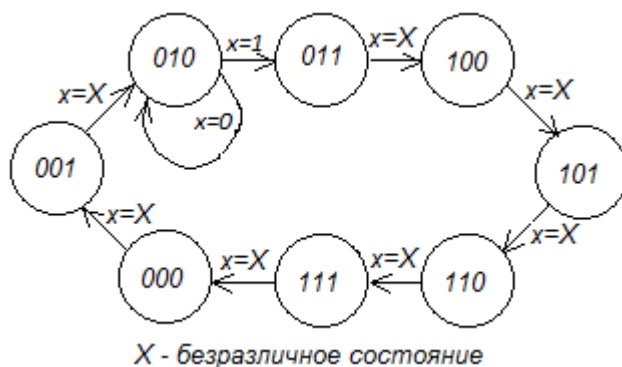
Вариант 3

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_c \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим стоком, с частотой генерации $f=800\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



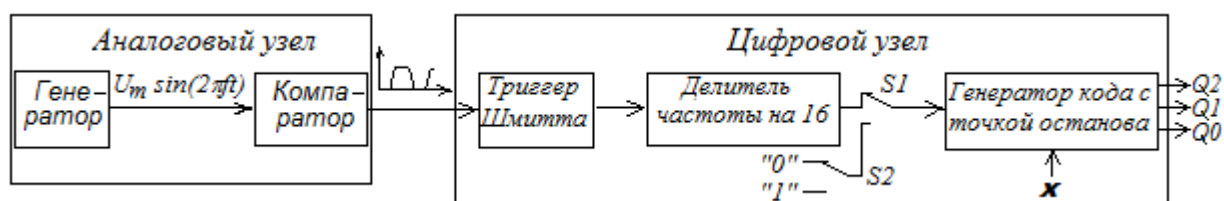
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

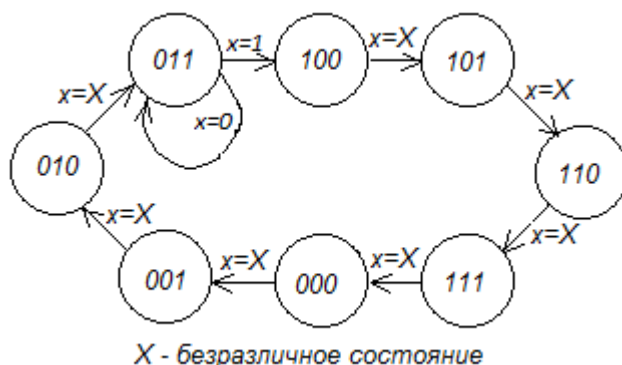
Вариант 4

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «емкостная трехточка» с общим истоком, с частотой генерации $f=1600\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



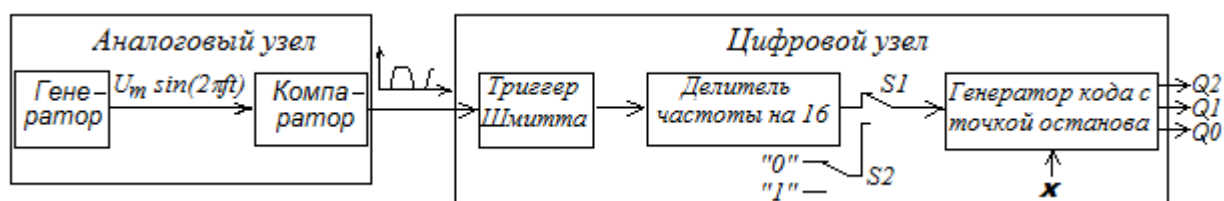
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции x формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

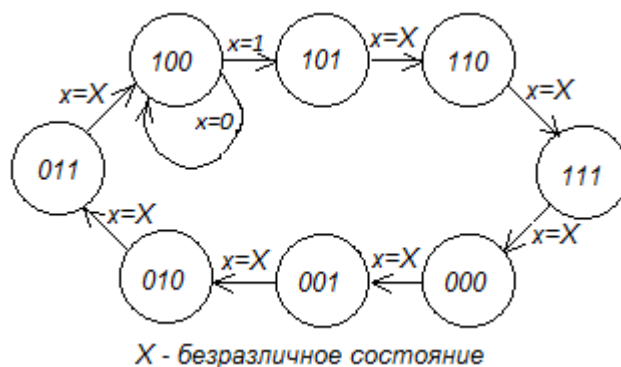
Вариант 5

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «емкостная трехточка» с общим затвором, с частотой генерации $f=3200\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



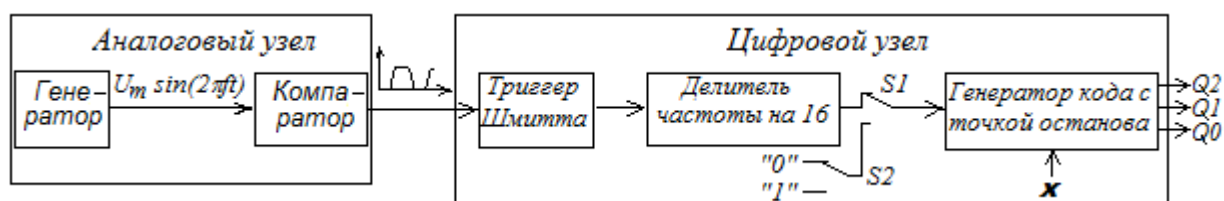
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

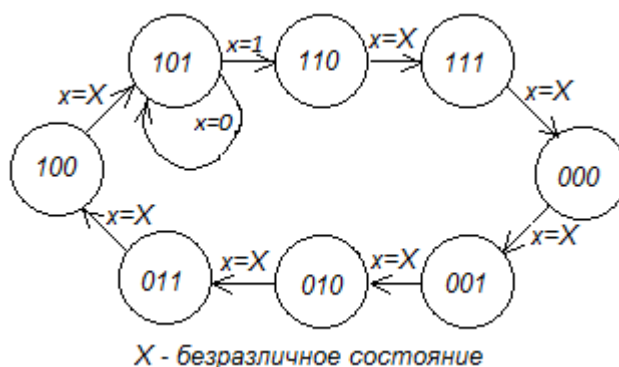
Вариант 6

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_c \geq 100\text{кОм}$) по схеме «емкостная трехточка» с общим стоком, с частотой генерации $f = 8000$ Гц;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



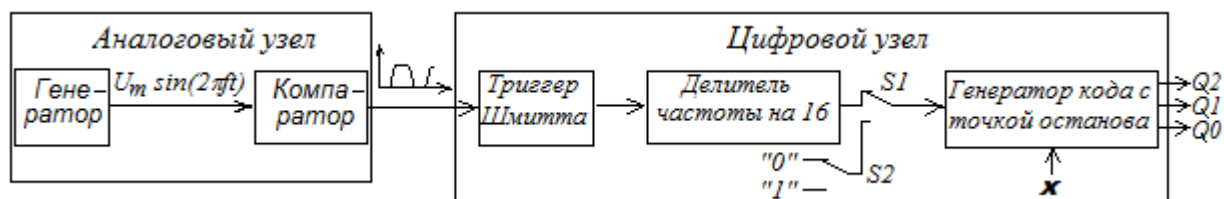
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции x формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: ± 15 В;
- логические схемы: +5 В.

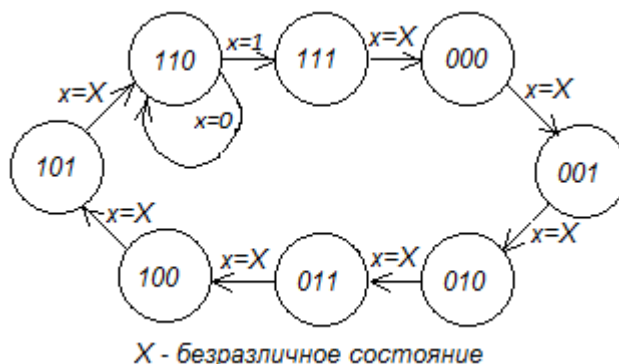
Вариант 7

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на полевом транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_c \geq 100\text{ кОм}$) – 1-й каскад, и биполярном транзисторе ($\beta=100$) – 2-й каскад, по схеме с мостом Вина, с частотой генерации $f=160\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



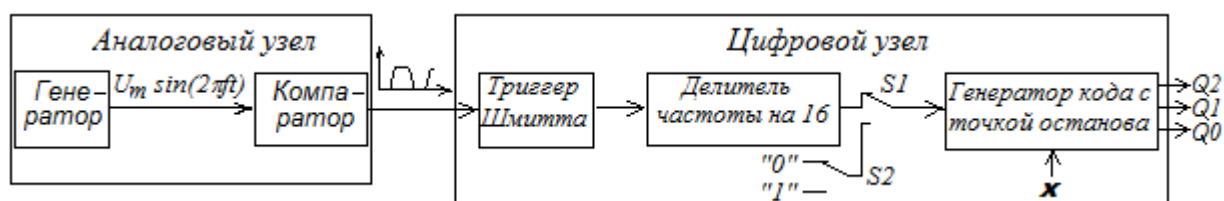
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

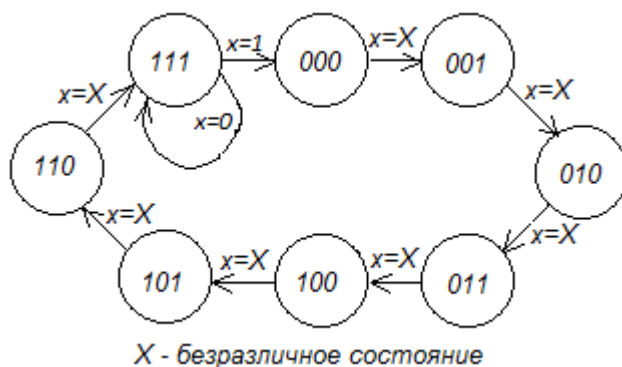
Вариант 8

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на биполярных транзисторах ($\beta=100$): составном – 1-й каскад, и одинарном – 2-й каскад, по схеме с мостом Вина, с частотой генерации $f=320$ Гц;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



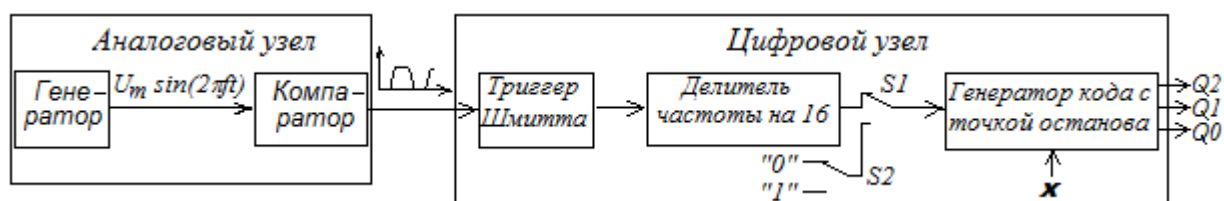
Тактовые импульсы (переключатель S2) при отладке и проверке и состоянии управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: ± 15 В;
- логические схемы: +5 В.

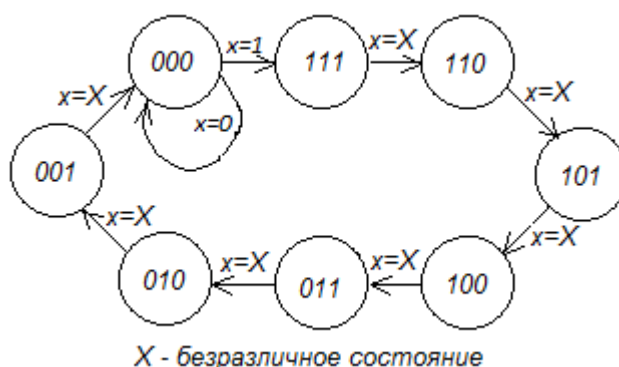
Вариант 9

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим истоком, с частотой генерации $f=16\text{ кГц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



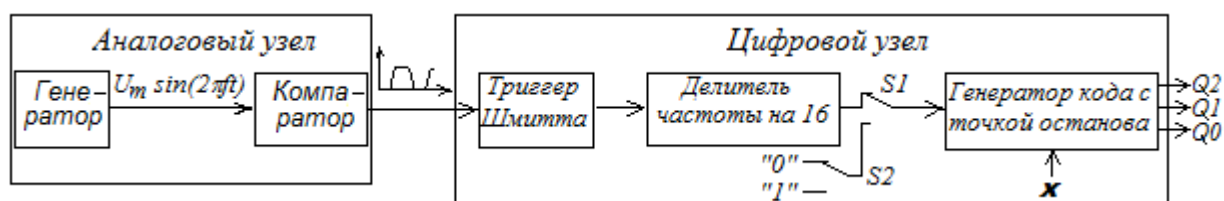
Тактовые импульсы (переключатель S2) при отладке и проверке и состоянии управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

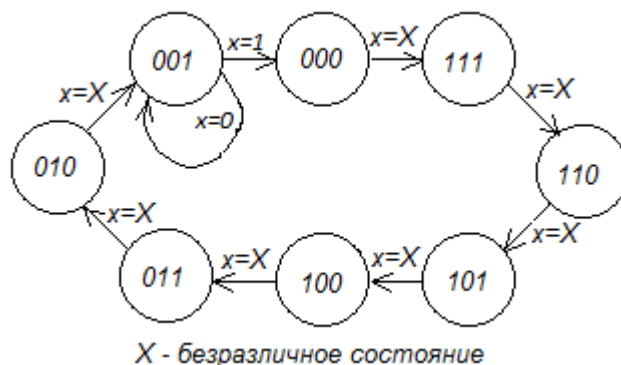
Вариант 10

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим затвором, с частотой генерации $f = 32\text{ кГц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



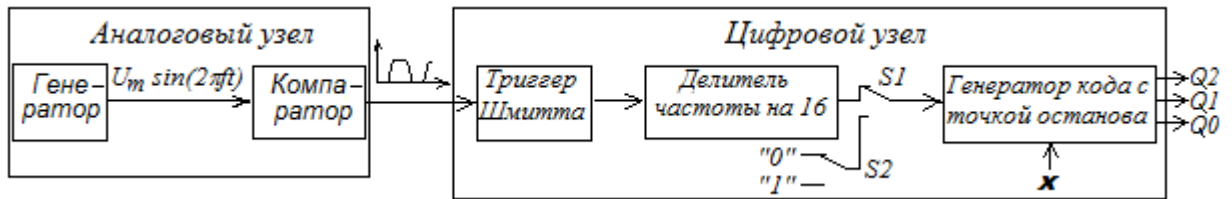
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

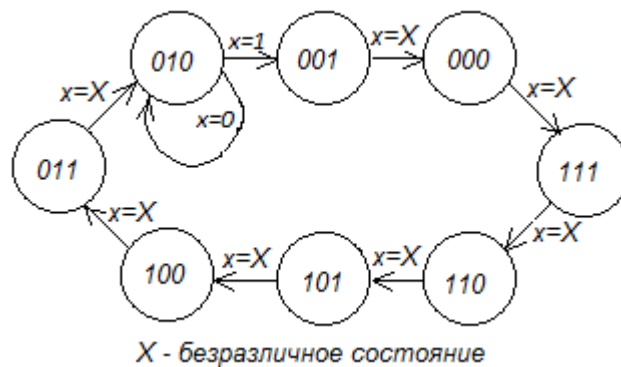
Вариант 11

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим стоком, с частотой генерации $f=80\text{ кГц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



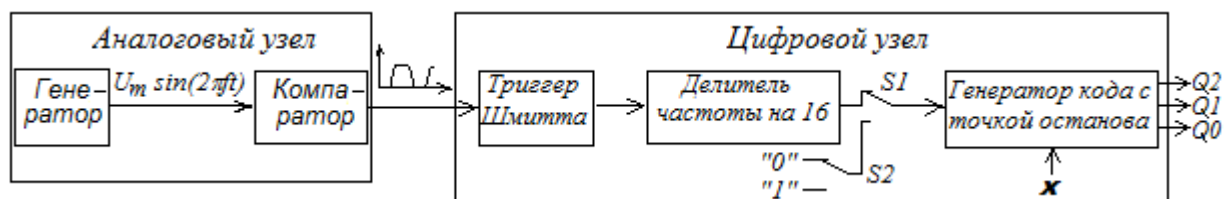
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

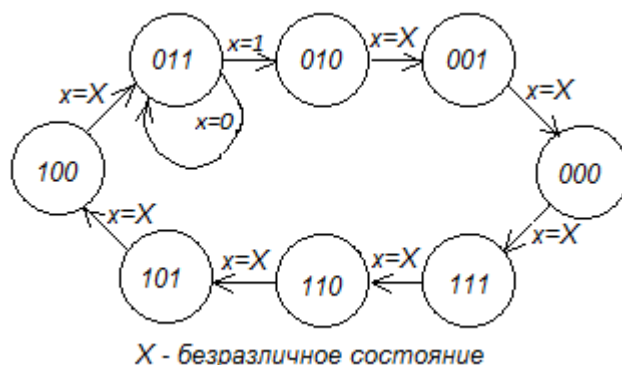
Вариант 12

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «емкостная трехточка» с общим истоком, с частотой генерации $f=160\text{ кГц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



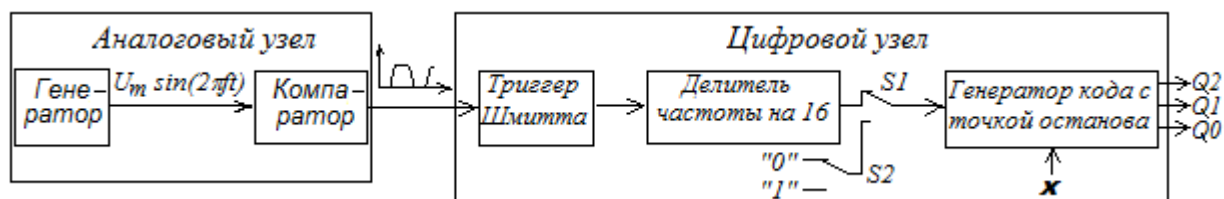
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции x формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

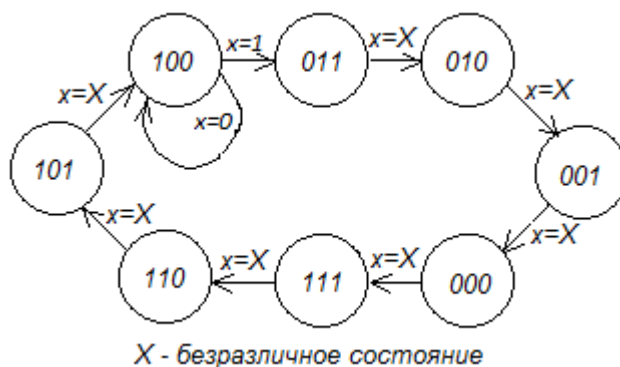
Вариант 13

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «емкостная трехточка» с общим затвором, с частотой генерации $f=320\text{ кГц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



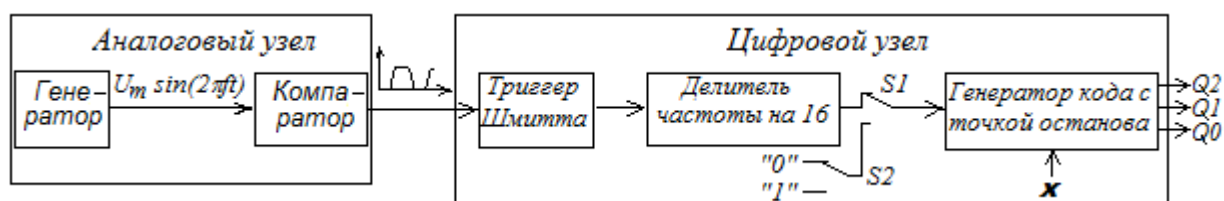
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

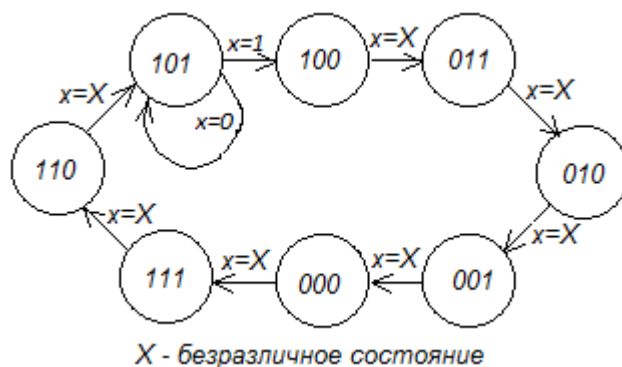
Вариант 14

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «емкостная трехточка» с общим стоком, с частотой генерации $f=800\text{ кГц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



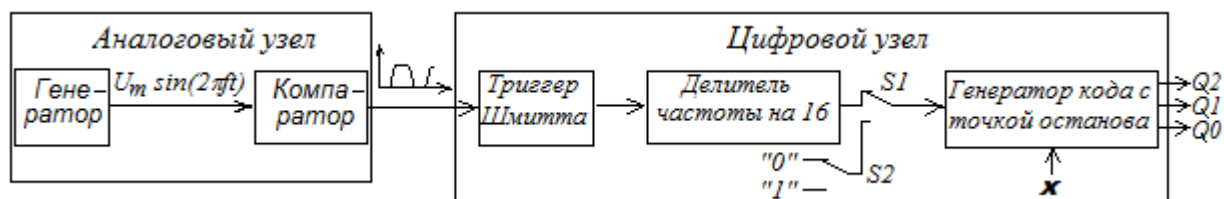
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

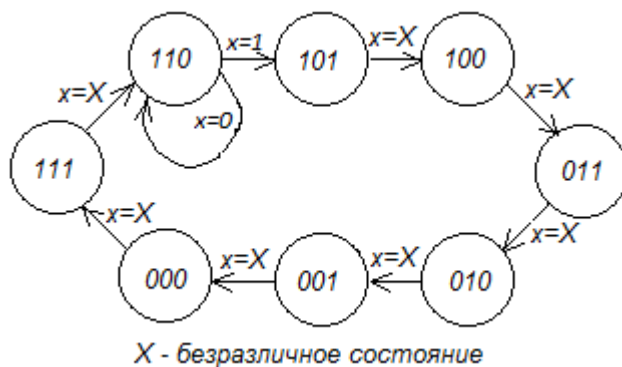
Вариант 15

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на полевом транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_c \geq 100\text{ кОм}$) – 1-й каскад, и биполярном транзисторе ($\beta=100$) – 2-й каскад, по схеме с мостом Вина, с частотой генерации $f=800\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



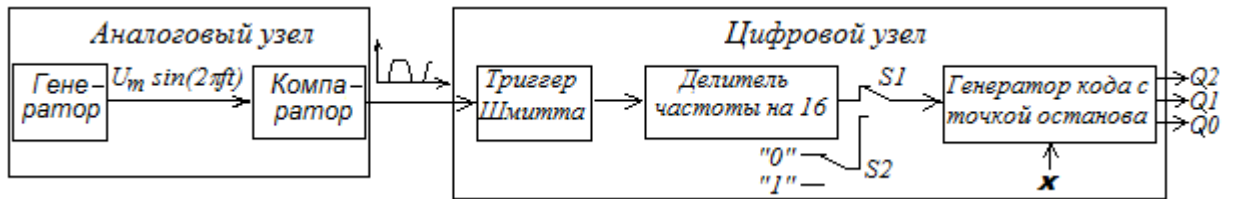
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

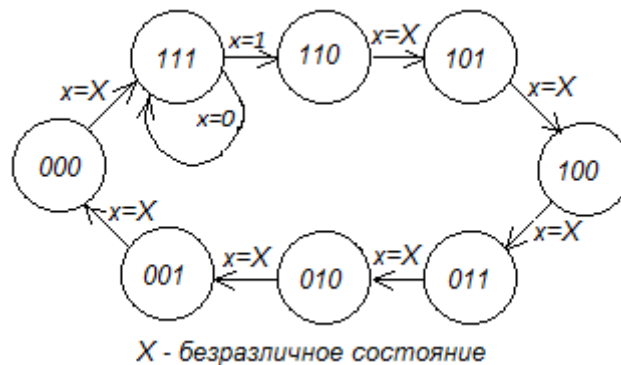
Вариант 16

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на биполярных транзисторах ($\beta=100$): составном – 1-й каскад, и одинарном – 2-й каскад, по схеме с мостом Вина, с частотой генерации $f=1600$ Гц;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на JK-триггерах и логических элементах И, ИЛИ, НЕ.



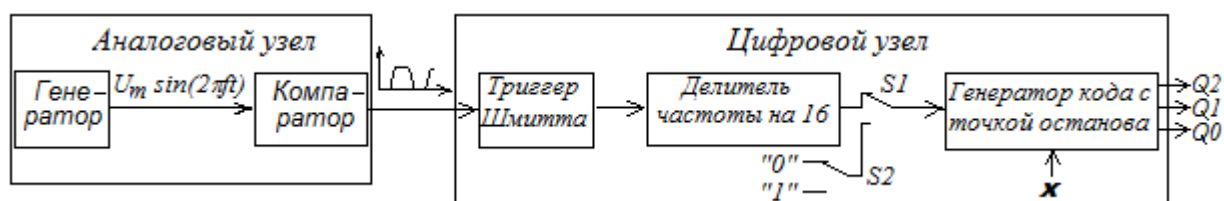
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции x формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: ± 15 В;
- логические схемы: +5 В.

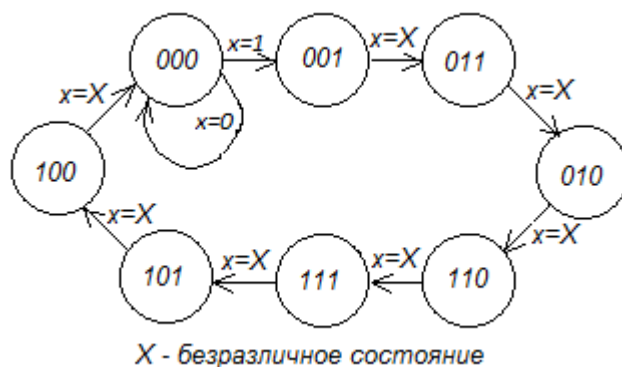
Вариант 17

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим истоком, с частотой генерации $f = 1600\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на D-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на синхронных D-триггерах и логических элементах И, ИЛИ, НЕ.



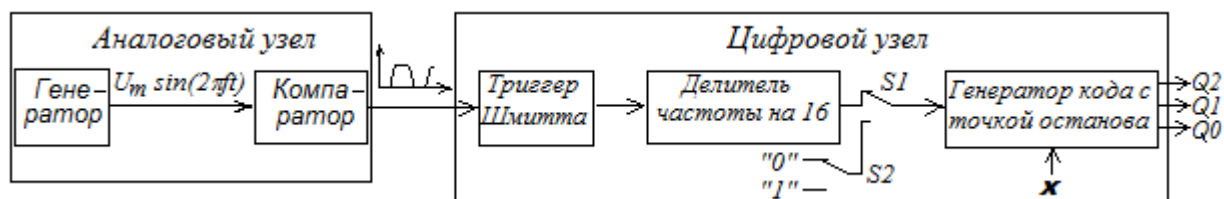
Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.

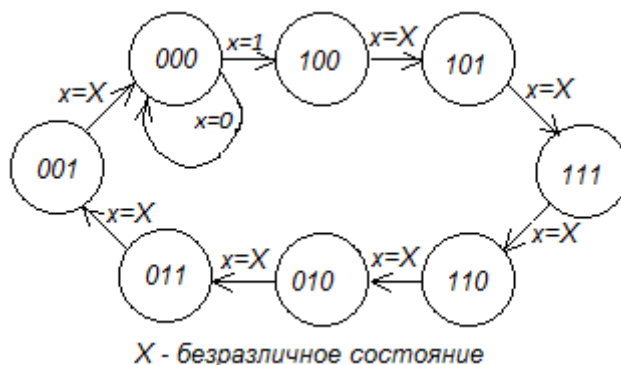
Вариант 18

Разработать схему электрическую принципиальную узла, реализующего следующую структурную схему:



где:

- генератор должен быть реализован на транзисторе КП303А (2Р303А: $S=0,7\text{мА/В}$; $r_C \geq 100\text{ кОм}$) по схеме «индуктивная трехточка» с общим затвором, с частотой генерации $f = 800\text{ Гц}$;
- выход компаратора и вход и выход триггера Шмитта должны быть согласованы с пятивольтовой логикой;
- делитель частоты «на 16» должен быть реализован по асинхронной схеме на JK-триггерах;
- генератор кода с точкой останова должен реализовать ниже представленный граф на синхронных D-триггерах и логических элементах И, ИЛИ, НЕ.



Тактовые импульсы (переключатель S2) при отладке и проверке и состояние управляющей функции X формировать переключателями: лог.«0» - напряжение 0 В, лог.«1» - напряжение +5 В.

Питание по умолчанию:

- для генератора: +15 В;
- для компаратора: $\pm 15\text{ В}$;
- логические схемы: +5 В.