

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ

Государственное образовательное учреждение
высшего профессионального образования
«Оренбургский государственный университет»

Е.А. КОРНЕВ

СХЕМОТЕХНИКА ЦИФРОВЫХ, АНАЛОГО – ЦИФРОВЫХ И ЦИФРО-АНАЛОГОВЫХ УСТРОЙСТВ

Рекомендовано Ученым советом Государственного образовательного учреждения высшего профессионального образования «Оренбургский государственный университет» в качестве учебного пособия для выполнения практикума по дисциплинам "Схемотехника электронных средств", "Схемотехника ЭВМ", "Основы микроэлектроники" для студентов, обучающихся по программам высшего профессионального образования очных форм обучения специальностей "Проектирование и технология радиоэлектронных средств", "Вычислительные машины, комплексы, системы и сети", "Информатика"

Оренбург 2005

ББК 32.97.я7
К-67
УДК681.326.32 (07)

Рецензент
доктор технических наук, профессор Соловьев Н.А.

К-67 **Корнев Е.А.**
Схемотехника цифровых, аналого - цифровых и цифро - аналого-
вых устройств: Учебное пособие. – Оренбург: ГОУ ОГУ, 2005. -
106 с.

ISBN

В пособии рассмотрены схемотехнические решения цифровых, аналого – цифровых и цифро-аналоговых устройств.

Учебное пособие предназначено для выполнения практикума по дисциплинам "Схемотехника электронных средств», "Схемотехника ЭВМ», "Основы микроэлектроники» для студентов очной формы обучения соответственно специальностей 210201 «Проектирование и технология радиоэлектронных средств», 230101 «Вычислительные машины, комплексы, системы и сети», 030100 «Информатика».

К²²⁰²⁰⁹⁰¹⁰⁰

ББК 32.97.я7

ISBN

© Корнев Е. А., 2005
© ГОУ ОГУ, 2005

Введение

В настоящее время в радиоэлектронных системах, в средствах вычислительной техники, системах управления и информационно-измерительной технике используется широкий спектр больших (БИС) и сверхбольших интегральных микросхем (СБИС), которые получили в последнее десятилетие прогрессирующее развитие.

К БИС и СБИС можно отнести: микропроцессорные комплекты и микроконтроллеры, программируемые логические матрицы и базовые матричные кристаллы, аналого-цифровые и цифроаналоговые преобразователи, а также запоминающие устройства. Эти сложные в структурном построении и функциональном понимании интегральные компоненты нашли широкое применение в указанных системах и являются основой их построения.

Однако изучение цифровой электроники представляется сложным начинать с системотехники и микросхемотехники интегральных устройств, а тем более осваивать проектирование систем на их основе. Поэтому необходимо, прежде всего, изучить внутреннее устройство и алгоритмы работы менее сложных функциональных узлов цифровой электроники.

Настоящее учебное пособие предназначено для обучения студентов практическим основам схемотехники относительно простых цифровых, цифроаналоговых и аналого-цифровых электронных средств и включает следующие разделы: "Логические элементы", "Комбинационные схемы", "Триггерные и пересчетные устройства", "Управляющие устройства", "Цепи ввода данных", "Шины передачи данных", "Запоминающие устройства", "АЦП и ЦАП".

Практикум позволяет студентам:

- изучить схемотехнику, алгоритмы функционирования и приобрести навыки тестирования следующих цифровых элементов и узлов: базовых логических элементов; комбинационных логических схем; триггеров, счетчиков и регистров; нескольких интерфейсных узлов ввода и межсистемной передачи данных;
- освоить основы построения управляющих устройств, провести сравнительное исследование их преимуществ и недостатков; приобрести практический опыт в отладке и анализе функционирования управляющих конечных автоматов двух видов;
- овладеть основами схемотехники запоминающих устройств и практическими методами записи, считывания, редактирования и программирования ППЗУ с ультрафиолетовым стиранием информации с помощью программатора, работающего на связи с персональным компьютером;
- изучить параметры детерминированных и случайных аналоговых сигналов и в динамическом режиме наблюдать процесс аналого-цифрового преобразования; производить ручной и автоматизированный (с применением персональной ЭВМ) набор и обработку статистических распределений параметров сигналов;
- изучить схемотехнику и измерить передаточные характеристики и основные параметры цифро-аналоговых преобразователей.

1 Практикум "Логические элементы"

Цель работы:

Практикум предназначен для:

- практического изучения принципов построения и функционирования базовых логических элементов различных типов, выполняемых по RTL, DTL, TTL и CMOS технологиям;
- приобретения навыков в тестировании и анализе основных характеристик логических микросхем малой и средней степени интеграции;
- сравнительного анализа их преимуществ и недостатков.

1.1 Резисторно-транзисторные логические элементы

Резисторно-транзисторные элементы (RTL-элементы) появились одними из первых в микроэлектронике. Это были 60-е годы. Относительная простота их реализации на технологическом уровне тех лет позволяла выполнять интегральные схемы (ИС) малой степени интеграции. На рисунке 1.1 показана электрическая схема RTL-элемента, выполняющего логическую функцию ЗИЛИ-НЕ.

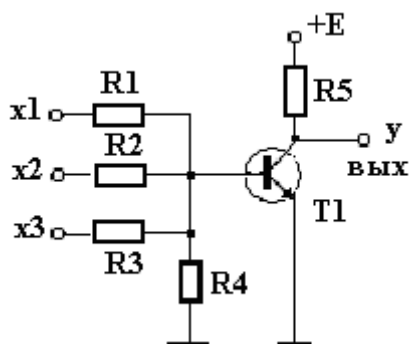


Рисунок 1.1 - Электрическая схема RTL - элемента ЗИЛИ-НЕ

Схема работает следующим образом. При отсутствии входного сигнала транзистор находится в закрытом состоянии, благодаря наличию смещающей цепи резистора R4. На выходе элемента при этом установлен высокий потенциал, соответствующий лог. 1. Если на любой из входов элемента подать лог. 1, то потенциал на базе транзистора повысится и транзистор откроется. На выходе логического элемента появится низкий потенциал - лог.0.

Недостатки RTL-элементов:

- низкая технологичность из-за необходимости применения различной технологии резистивных и активных элементов;
- высокая потребляемая мощность;
- низкое быстродействие;
- малые коэффициенты разветвления и объединения;
- низкая нагрузочная способность.

1.2 Диодно-транзисторные логические элементы

Представленный на рисунке 1.2 диодно-транзисторный базовый логический элемент (DTL-элемент) реализует логическую функцию И-НЕ. Функция И выполняется на диодной группе, а транзистор, как усилитель-инвертор, производит операцию НЕ.

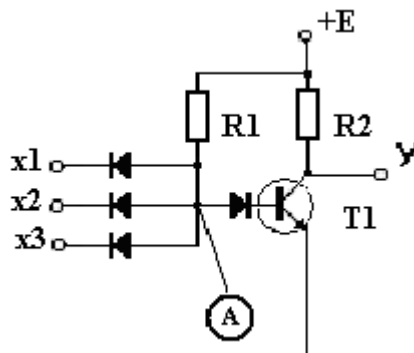


Рисунок 1.2 - Электрическая схема DTL - элемента И-НЕ

Схема работает следующим образом. В исходном состоянии, когда на три входа поданы логические "1" (высокий уровень), с помощью смещающей цепи R1 транзистор T1 устанавливается в открытое состояние и на выходе будет низкий потенциал лог.0. Если на любой из входов схемы подать низкий потенциал, то точка (A) окажется зашунтирована, базовый ток транзистора при этом уменьшится до полного закрывания транзистора и на выходе схемы появится лог.1. Таким образом, схема выполняет логическую операцию И-НЕ.

Основными недостатками элементов DTL-типа являются:

- низкая технологичность из-за разнородности применяемых полупроводниковых элементов;
- относительно низкое быстродействие из-за насыщенного режима работы транзистора, высоких постоянных времени входных цепей и высокого выходного сопротивления.

1.3 Транзисторно-транзисторные логические элементы

В настоящее время в интегральной схемотехнике транзисторно-транзисторные логические элементы (TTL- типа) и особенно с диодами Шоттки (TTLШ - типа) являются достаточно распространенными по сравнению с другими типами логических элементов. Они представляют собой технологически улучшенный вариант элементов DTL-типа. В TTL-элементах вместо диодов используются многоэмиттерные транзисторы. Схемы простейших TTL-элементов представлены на рисунках 1.3, 1.4.

На логическом элементе, приведенном на рисунке 1.3, выполняется функция 3И-НЕ. Элемент работает аналогично DTL-элементу, только вместо диодов применяется многоэмиттерный транзистор.

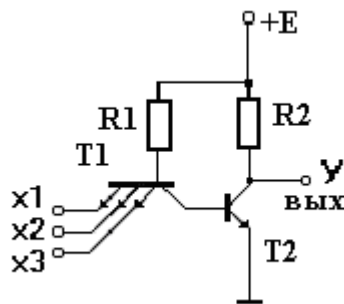


Рисунок 1.3 - Электрическая схема TTL-элемента 3И-НЕ

TTL-элементы можно усложнять и улучшать, используя дополнительные усилители. На рисунке 1.4 показан базовый TTL-элемент с фазоинвертором, использующийся в ИС низкой и средней степени интеграции.

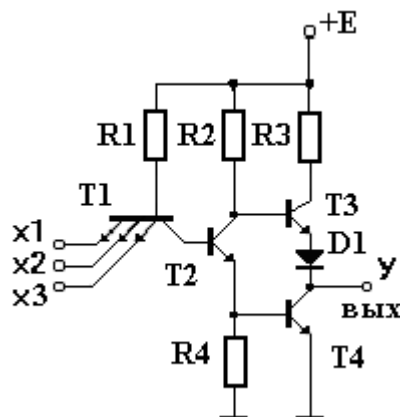


Рисунок 1.4 - Электрическая схема TTL-элемента 3И-НЕ с повторителем

На базе элемента И-НЕ может быть построен более сложный элемент, выполняющий логическую функцию 3И-2ИЛИ-НЕ (рисунок 1.5).

В настоящее время TTL-элементы применяются практически только в "силовых" логических схемах, во входных и в выходных цепях БИС, благодаря сочетанию таких качеств как высокая нагрузочная способность и быстродействие при относительно невысоком потреблении.

Широкое распространение получили микросхемы серии TTL с диодами Шоттки, которые обладают более высоким быстродействием и низким потреблением в сравнении с обычными TTL-схемами.

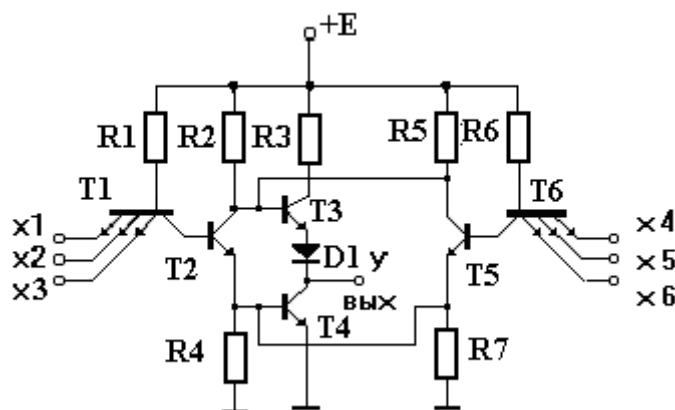


Рисунок 1.5 - Электрическая схема TTL - элемента типа 3И-ИЛИ – НЕ

1.4 Комплементарные логические элементы на основе транзисторов "металл-окись-полупроводник"

Комплементарные логические элементы на основе транзисторов "металл-окись-полупроводник" (КМОП - типа) с индуцированными каналами различного типа проводимости обладают самыми лучшими показателями по потребляемой мощности. Схема КМОП - элемента типа И-НЕ показана на рисунке 1.6. Элемент содержит только МОП транзисторы двух типов: с индуцированным n-каналом (Т3, Т4) и с индуцированным p-каналом (Т1, Т2).

Рассмотрим принцип действия КМОП - элемента. Пусть, например, в исходном состоянии на обоих входах присутствует лог. 0. В этом случае верхние транзисторы Т1 и Т2 будут открыты, а нижние транзисторы Т3, Т4 будут закрыты. На выходе будет установлена лог. 1, но ток в микросхеме протекать не будет из-за закрытых транзисторов Т3, Т4. Если на входе Х1 присутствует лог.0, а на входе Х2 - лог.1, то транзисторы Т1, Т4 будут открыты, а транзисторы Т2, Т3 - закрыты. На выходе при этом установится также значение лог.1. Смена входных сигналов приводит к смене состояний Т1, Т4 и Т2, Т3, и на выходе опять установится лог.1, но ток в схеме после переключения также равен нулю. Подача на оба входа лог.1 приводит к открытому состоянию Т3, Т4 и к закрытому состоянию Т1, Т2, при этом на выходе устанавливается лог.0, но и в этом состоянии ток в схеме также не проходит.

Следовательно, в КМОП-элементах энергия тратится только лишь во время переключений на перезаряд паразитных емкостей и емкостей нагрузки схемы. КМОП - элементы являются высокотехнологичными, так как не содержат в своих схемах разнородных элементов, таких как резисторы, диоды, биполярные транзисторы. К недостаткам КМОП - элементов можно отнести паразитное влияние p-n-p и n-p-n - переходов, которые возникают как побочные переходы в КМОП структурах, размещаемых на одной полупроводниковой подложке. Эти паразитные биполярные структуры иногда отрицательно сказываются на поведении КМОП - элементов, вызывая так называемый тиристорный эффект, искажающий передаточную характеристику элемента.

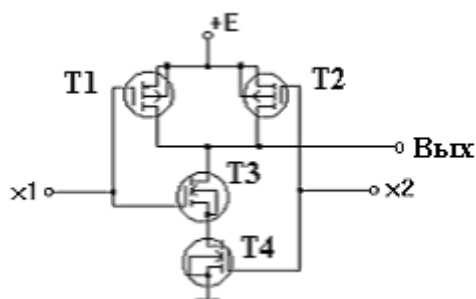


Рисунок 1.6 - Электрическая схема логического элемента КМОП-типа И-НЕ на транзисторах с индуцированными каналами n (Т3, Т4)- и p (Т1, Т2)-типа

1.5 Контрольные вопросы

- 1 Поясните принцип действия и приведите выходные статические характеристики n - p - n биполярного транзистора.
- 2 Приведите основные схемы включения транзистора.
- 3 Чем отличаются выходные ВАХ транзистора, включенного по схеме ОЭ и ОБ?
- 4 Приведите сравнительный анализ схем включения биполярного транзистора.
- 5 Какая структура и особенности работы МОП-транзистора?
- 6 Приведите условно-графические обозначения всех типов МОП- транзисторов и их проходные ВАХ.
- 7 Какое основное отличие МОП-транзистора с индуцированным каналом от МОП-транзистора со встроенным каналом?
- 8 Приведите сравнительный анализ частотных и временных параметров полевых транзисторов с p - n переходом и МОП-типа.
- 9 Биполярный транзистор с диодом Шоттки. Объясните его преимущества в ключевых каскадах.
- 10 Дайте классификацию логических элементов
- 11 Поясните принципы работы DTL-элемента.
- 12 Опишите таблицу истинности для элемента "исключающее ИЛИ".
- 13 Назовите недостатки DTL-элемента?
- 14 Поясните принцип работы TTL-элементов.
- 15 Опишите таблицу истинности для элемента ЗИЛИ-НЕ.
- 16 Какие недостатки характерны для TTL-элементов?
- 17 В чем принципиальное отличие элементов TTL и TTL-Шоттки?
- 18 Поясните принцип работы КМОП-элементов.
- 19 От чего зависит потребляемая мощность КМОП-элемента?
- 20 Какие недостатки КМОП-элементов Вы знаете?
- 21 Какие технологические особенности присущи логическим элементам разного типа?
- 22 Какие устройства и органы управления содержит лабораторный стенд?

1.6 Краткое описание учебного лабораторного стенда "Цифровая электроника"

Лицевая панель стенда разбита на 11 функциональных полей. Три поля "ИС" содержат сокет для микросхем с разным количеством выводов (16,18 и 24). Вокруг каждой сокет расположены контакты, подключенные к соответствующим контактам сокет.

В верхней части панели расположено поле "ИНДИКАТОРЫ", содержащее 16 индикаторных светодиодов, подключенных к контактам.

В нижней части панели расположены три поля "Счетчик" (А, В и С) с индикаторами состояний, контактами и управляющими кнопками. С помощью счетчиков можно задавать четырехразрядные логические комбинации на входах изучаемых интегральных схем в ручном или автоматическом режиме.

Счетчики производят счет в ручном режиме от кнопки "Счет" или от встроенного генератора прямоугольных импульсов при установке переключки (область "Генераторы"). С помощью кнопки "Сброс" можно обнулять счетчик.

Область "Генераторы" содержит управляющие элементы и контакты, с которых можно подавать на изучаемую схему регулируемое постоянное напряжение (0-5 В), одиночные прямоугольные импульсы, либо последовательность прямоугольных или пилообразных импульсов.

Кроме того, на лицевой панели стенда расположены контакты общей шины стенда (область "Общ."), напряжения питания (область +5 В, +12 В, -12 В) и выключатель питания стенда с индикатором (область "Сеть").

1.7 Порядок выполнения практикума

В счет часов самостоятельной работы выполните следующее:

- получите от преподавателя вариант тестируемых микросхем (таблица 1) на занятии, предшествующему данному практикуму;

Таблица 1.1 – Типы тестируемых логических ИС

Вариант	Типы тестируемых микросхем
1	K155ЛН1, K155ЛИ1, K155ЛА1, K155ЛП5
2	K155ЛН1, K155ЛА4, K155ЛЕ1, K155ЛП12
3	K155ЛН5, K561ЛА3, K155ЛЕ1, K155ЛП5

- изучите основы построения и принципы действия логических элементов типа НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ, исключающее ИЛИ и исключающее ИЛИ-НЕ по основной и дополнительной литературе, приведенной в настоящем пособии;

- проработайте методические указания к настоящему практикуму;

- нарисуйте схемы включения всех предложенных к проверке микросхем, используя общепринятые, приведенные в справочниках для выполнения электрических схем обозначения логических элементов, источников питания, светодиодов, общих шин, клемм и проводников, переключателей (тумблеров) логических уровней. При этом входные логические сигналы на микросхему необходимо подавать от встроенного в стенд счетчика. Пример выполнения схемы включения показан на рисунке 1.7. Условно-графические обозначения логических элементов приведены в п.1.12 настоящего раздела.

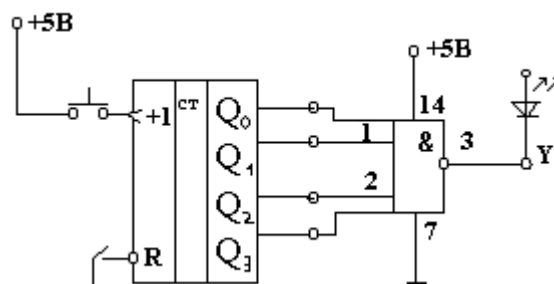


Рисунок 1.7 - Пример выполнения схемы включения микросхемы

- составьте таблицы истинности для тестируемых логических элементов;

ВНИМАНИЕ!

При выполнении практикума в лабораторном классе:

Соблюдайте правила техники безопасности при работе со стендом и приборами как с электрическими установками! Сетевое питание на стенд и питание на тестируемые схемы подавайте только после полного монтажа схемы и проверки монтажа преподавателем!

- заполните таблицу истинности для различных логических элементов (таблица 1.2);

Таблица 1.2 –Таблица истинности логических элементов

Комбинации входных переменных		Значение выходной логической функции Y					
		И	ИЛИ	И-НЕ	ИЛИ-НЕ	Исключающее ИЛИ	Исключающее ИЛИ-НЕ
X_1	X_2	$X_1 X_2$	$X_1 + X_2$	$\overline{X_1 X_2}$	$\overline{X_1 + X_2}$	$X_1 \oplus X_2$	$\overline{X_1 \oplus X_2}$
0	0						
0	1						
1	0						
1	1						

- представьте преподавателю все таблицы истинности и схемы включения, ответьте на контрольные вопросы и получите у преподавателя разрешение на проведение практикума;

- повторите методические указания к настоящему практикуму и ознакомьтесь с органами управления и индикации на лицевой панели стенда и лицевой панели осциллографа;

- вставьте в сокету стенда одну из испытываемых логических микросхем типа НЕ, И-НЕ, ИЛИ-НЕ заданного преподавателем варианта в соответствии с таблицей 1;
- проверьте перемычки (электрические проводники с контактами) на отсутствие обрывов и **внимательно** соберите с помощью перемычек схему включения микросхемы согласно схем, составленных при подготовке к работе;
- проверьте самостоятельно монтаж схемы и представьте его для проверки преподавателю или лаборанту;
- получите экспериментально таблицы истинности, задавая на входы микросхемы поочередно все комбинации входных логических воздействий с выходов счетчиков в ручном режиме и наблюдая отклики на выходе схемы с помощью светодиодов. Сравните экспериментальные таблицы истинности с таблицами, составленными до проведения опыта;
- измерьте мощность, потребляемую микросхемой;
- определите статическую передаточную характеристику (СПХ) микросхемы в соответствии с п. 1.8 настоящего пособия;
- определите постоянные времени T_{10} и T_{01} и параметры входных и выходных сигналов по методике п.1.9;
- определите задержку распространения сигнала по методике п.1.9;
- демонтируйте схему, аккуратно сложите все проводники и компоненты и вместе со стендом передайте лаборанту;
- подготовьте отчет по практикуму и представьте его для защиты и получения зачета.

1.8 Определение статической передаточной характеристики (СПХ) логических элементов

1.8.1 Построение первым способом

Для построения СПХ первым способом необходимо следующее оборудование:

- два цифровых вольтметра с входным сопротивлением не менее 1 мОм и пределом измерений от 0 до 15 В с точностью измерений не хуже 5 %;
- лабораторный стенд со встроенным источником стабильного напряжения на +5 В с коэффициентом нестабильности не более 5 % и двухступенчатым потенциометром с температурной нестабильностью не более 5 %.

Соберите схему эксперимента согласно рисунку 1.8. Вставьте сначала в сокет стенда микросхему, содержащую логический элемент (инвертор).

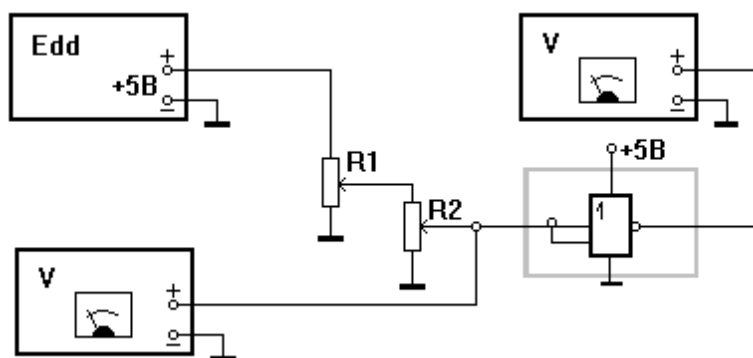


Рисунок 1.8 - Схема для измерения статической передаточной характеристики

Включите стенд. Для снятия прямой СПХ на вход микросхемы, с помощью потенциометров подавайте с малым приращением (примерно шагами 0,025-0,05 В) входное напряжение в диапазоне значений от 3 В до 1,2 В (диапазон напряжений, соответствующий порогу срабатывания логического элемента). Вольтметрами контролируйте входное и выходное напряжения при каждом изменении входного напряжения. Значения этих напряжений фиксируйте в таблице, а затем нарисуйте график СПХ, т.е. зависимость выходного напряжения как функции входного $U_{\text{вых}} = f(U_{\text{вх}})$. Измерьте обратную СПХ, изменяя входное напряжение от 1,28 до 3 В.

Используя СПХ, найдите входные и выходные логические уровни «0» и «1», порог срабатывания и коэффициент усиления инвертора в точках перегибов СПХ и в точке порога срабатывания. Зафиксируйте результаты:

а) порог срабатывания ($V_{\text{п}}$) логического элемента, который определяется как точка пересечения прямой и обратной СПХ;

б) статический коэффициент усиления, который определяется как производная dV/dU в области порога срабатывания элемента, где V - выходное напряжение, а U - входное напряжение логического элемента.

1.8.2 Построение вторым способом

Для автоматизированного визуального наблюдения СПХ необходимы:

- осциллограф с полосой пропускания усилителя от 0 до 50 МГц;
- генератор пилообразного напряжения с линейностью не хуже 5 % с рабочим диапазоном частот от 10 Нз до 10 кГц (встроен в стенд).

Включите осциллограф и измерьте амплитуду и временные параметры импульсов генератора пилообразного напряжения стенда.

Соберите схему эксперимента согласно рисунку 1.9. Вставьте сначала в сокет стенда микросхему, содержащую логический элемент (инвертор) и подключите выход пилообразного сигнала с генератора стенда:

- к входу исследуемого инвертора (перемычкой);
- к входу "X" осциллографа для синхронизации горизонтальной развертки осциллографа (с помощью кабеля).

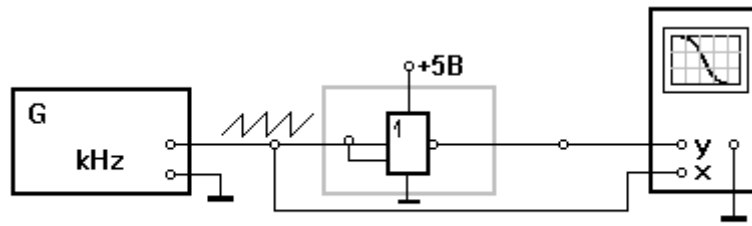


Рисунок 1.9 - Схема для измерения статической передаточной характеристики (способ 2)

Выход инвертора необходимо кабелем подключить к входу Y усилителя вертикального отклонения осциллографа. Затем включите осциллограф в режиме запуска развертки от входа X и установите точку луча по горизонтальной оси в левое положение, а по вертикальной оси по средней линии экрана. После этого переключателем установите чувствительность усилителя вертикального отклонения осциллографа (вход Y), равную 0,5 В/деление.

Включите стенд, на экране осциллографа наблюдайте изображение СПХ. Масштабы по осям X и Y осциллографа будут зависеть от частоты развертки, амплитуды пилообразного напряжения и установленной на панели осциллографа чувствительности по входу Y. Зная все эти величины, а также напряжение питания исследуемого инвертора можно установить истинный масштаб изображения СПХ и найти основные статические параметры логического элемента.

1.9 Определение постоянных времени, фронтов и длительности входных и выходных логических сигналов

1.9.1 Соберите схему эксперимента согласно рисунку 1.10.

1.9.2 Подайте на вход элемента от встроенного в стенд генератора последовательность прямоугольных импульсов. Измерьте осциллографом период следования, длительность, фронты нарастания и спада входных и выходных логических сигналов. Зарисуйте осциллограммы входных и выходных сигналов и сравните их параметры.

1.9.3 Постоянные времени нарастания входных и выходных логических сигналов определите по осциллограмме выходных сигналов логического элемента по формулам:

$$\tau_{01} = V_{\Pi} / [dV/dt],$$

$$\tau_{10} = (E - V_{\Pi}) / [dV/dt],$$

где: V_{Π} - порог срабатывания элемента;
 E - амплитуда выходных сигналов.

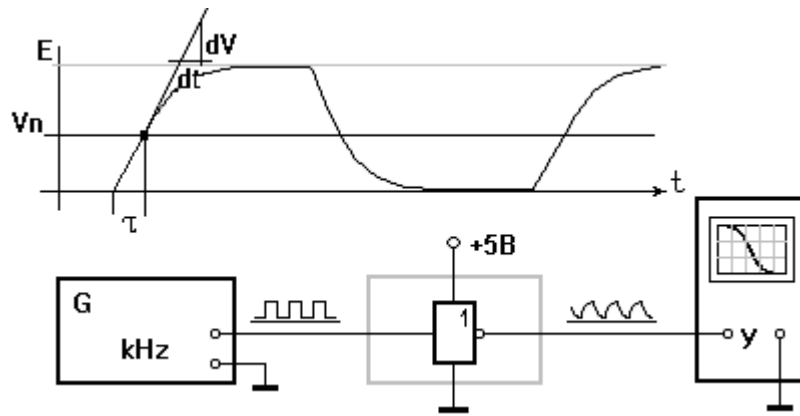


Рисунок 1.10 - Схема для измерения постоянных времени

1.10 Определение среднего времени распространения логического сигнала

1.10.1 Определение среднего времени задержки распространения сигнала D осуществите, собрав схему рисунка 1.11. Для этого выберите микросхему, содержащую не менее 3^x логических элементов.

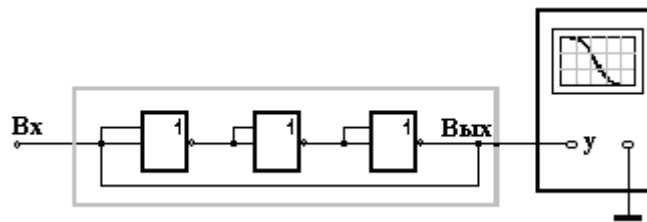


Рисунок 1.11 - Схема измерения среднего времени задержки распространения сигнала

Устройство на 3^x логических элементах с обратной связью будет генерировать непрерывную последовательность логических сигналов с периодом T и скажностью, равной 2, за счет фазового сдвига выходного сигнала схемы относительно входного, обусловленного временем задержки распространения сигнала и трехкратным перевертыванием фазы сигнала инверторами.

Среднее время задержки распространения сигнала D одного элемента схемы рассчитывается по формуле:

$$D = \frac{(t_{01} + t_{10})}{2} = \frac{T/2}{3},$$

где: T - период генерируемых сигналов;

t_{01} - среднее время задержки одного логического элемента при переходе из состояния 0 в состояние 1;

t_{10} - среднее время задержки одного логического элемента при переходе из состояния 1 в состояние 0.

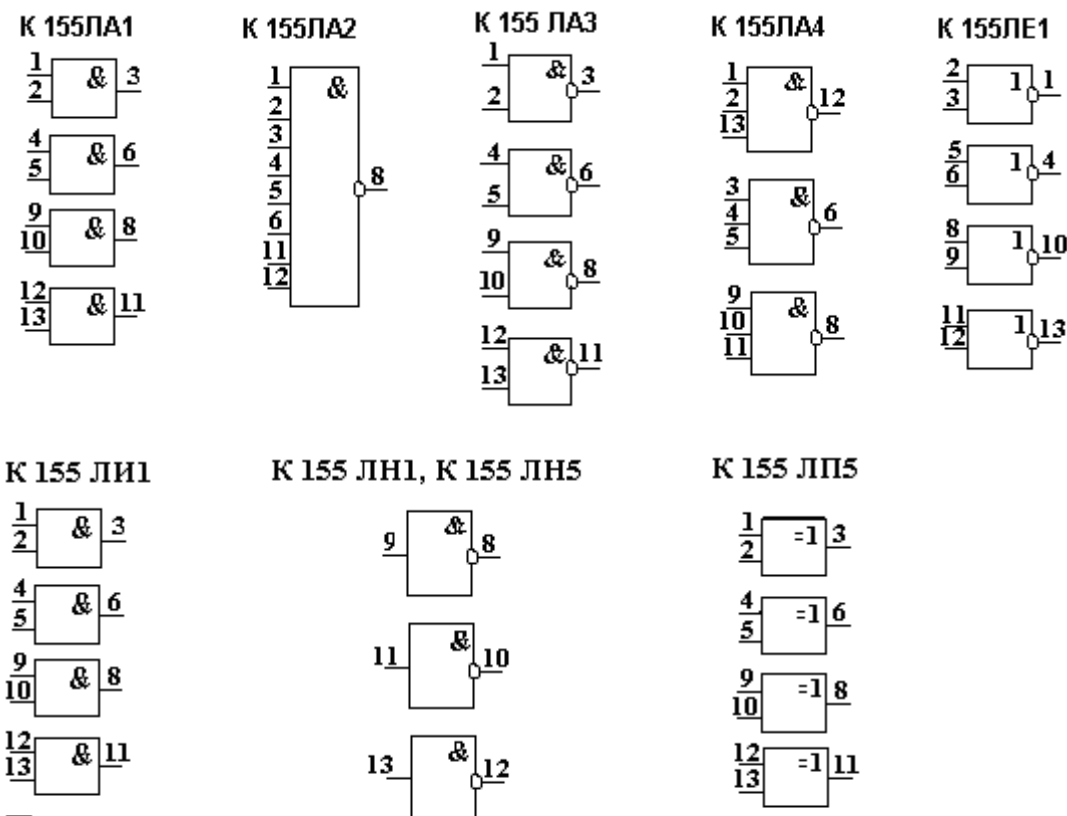
Примечание - Если полоса пропускания усилителя У осциллографа меньше 50 мГц, то на экране осциллографа будет наблюдаться периодический сигнал, близкий по форме к гармоническому сигналу.

1.11 Содержание отчета

Отчет должен быть выполнен в соответствии с СТП 101-00 и содержать:

- описание принципиальных схем, принципа действия испытанных логических элементов в объеме, достаточном для успешной защиты выполненного практикума;
- схемы экспериментов, составленные в процессе подготовки и проведения работы;
- результаты исследования логических элементов, которые тестировались на стенде;
- выводы к практикуму.

1.12 Условно-графические и буквенно-цифровые обозначения логических элементов



Питание:

Вывод 14 - +5 В.

Вывод 7 - общ.

Рисунок 1.13 – Условно-графические и буквенно-цифровые обозначения логических микросхем

2 Практикум "Комбинационные логические схемы"

Практикум предназначен для изучения принципов построения и работы комбинационных логических схем, выполненных по КМОП и TTL технологиям, изучение практических методов их анализа. В этот раздел практикума включены методики проверки в статическом режиме алгоритмов функционирования дешифраторов, мультиплексоров и сумматоров.

2.1 Дешифраторы

Дешифраторы относятся к комбинационным схемам, которые предназначены для преобразования двоичного или двоично-десятичного кода в позиционный. Условное обозначение двоичного дешифратора показано на рисунке 2.1.

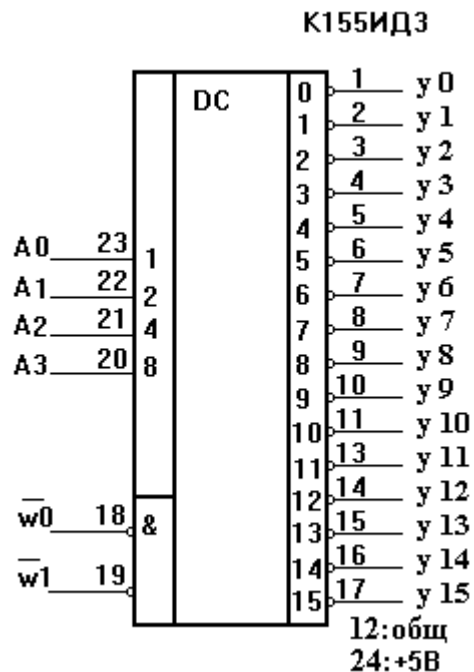


Рисунок 2.1 – Условно-графическое обозначение двоичного дешифратора

Данный дешифратор имеет четыре входа и 16 выходов. В зависимости от разрядности дешифрируемого кода и функциональных возможностей интегральных схем (ИС), имеющих в распоряжении разработчика, дешифратор может быть выполнен на основе одноступенчатой (линейной) или многоступенчатой схем дешифрации. Линейные дешифраторы выполняются без какого-либо их логического преобразования прямой схемной реализацией выражения вида:

$$Y_0 = \bar{A}_{m-1} \dots \bar{A}_2 \bar{A}_1 \bar{A}_0,$$

$$Y_1 = \bar{A}_{m-1} \dots \bar{A}_2 \bar{A}_1 A_0,$$

$$Y_2 = \bar{A}_{m-1} \dots \bar{A}_2 A_1 \bar{A}_0,$$

⋮

$$Y_n = A_{m-1} \dots A_2 A_1 A_0,$$

где: $n=2^m$ – число выходов;
 m – число разрядов входного кода.

Таким образом, линейный дешифратор представляет собой 2^m независимых по выходам вентилях с m входами каждый. На рисунке 2.2 показана схема четырехвходового линейного дешифратора.

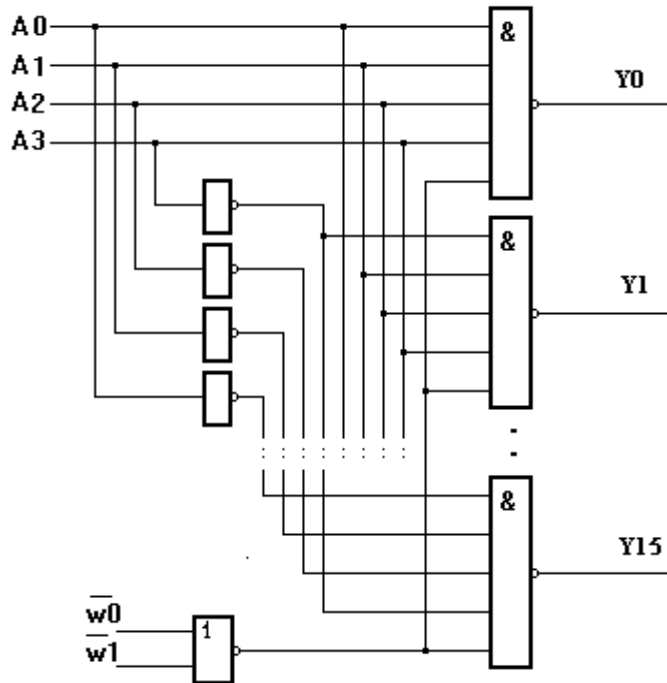


Рисунок 2.2 – Функциональная схема 4^x входного линейного дешифратора

Одноступенчатые дешифраторы эффективны, когда разрядность входного кода не превышает числа входов схемы И типового логического элемента ИС. Быстродействие линейного дешифратора наибольшее среди других типов дешифраторов и равно среднему времени задержки одного элемента τ_{cp} .

Одной из первых ИС линейных дешифраторов является схема SN7445 фирмы TEXAS (USA), показанная на рисунке 2.3.

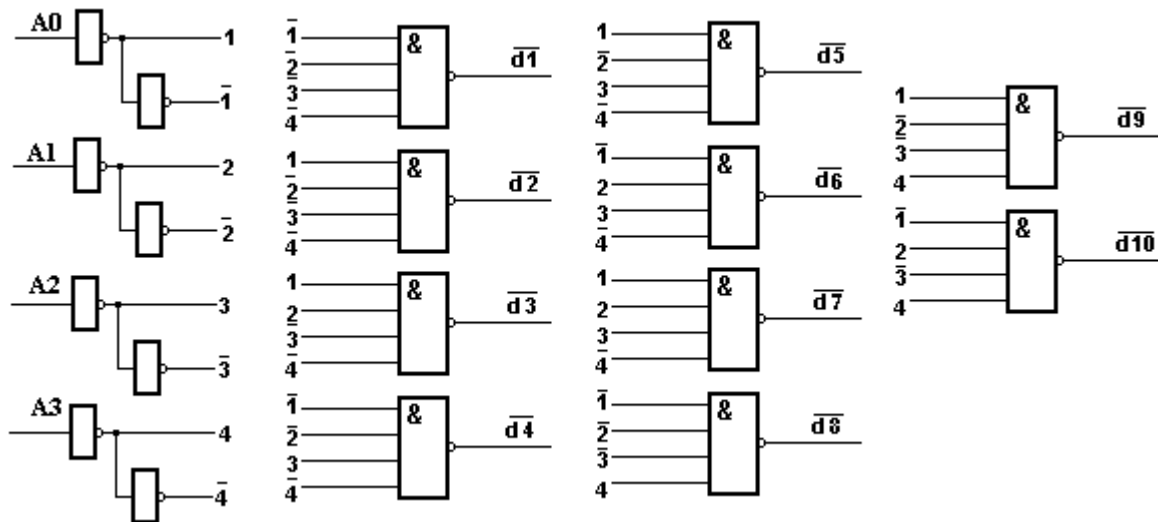


Рисунок 2.3 – Функциональная схема линейного двоично-десятичного дешифратора SN7445

SN7445 - двоично-десятичный дешифратор, преобразующий двоично-десятичный код в позиционный десятиразрядный код.

На рисунке 2.4 показана структурная схема построения прямоугольного дешифратора на 256 выходов. Прямоугольный или матричный дешифратор содержит первую ступень из нескольких линейных дешифраторов (ЛД), на каждом из которых дешифрируется группа разрядов входного слова. Количество (ЛД) определяется числом групп, на которое разбивается входное слово. Во второй ступени прямоугольного дешифратора осуществляется совпадение каждого с каждым выходных сигналов первых двух ЛД по матричной схеме на двухвходовых вентилях. В третьей ступени производится операция "И" выходных сигналов 2^{ой} ступени с недействующими выходами 1^{ой} ступени также по матричной схеме на двухвходовых вентилях.

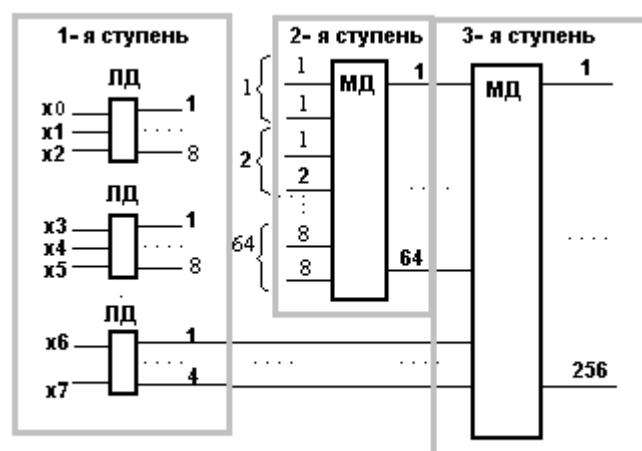


Рисунок 2.4 – Структурная схема прямоугольного матричного дешифратора

При оптимальном разбиении входного слова общее число двухвходовых вентилях, необходимых для построения двухступенчатого матричного дешифратора равно:

$$N_q = 2^m + 2^{(m/2)+1} \quad \text{– при четном } (m+1),$$

$$N_n = 2^m + 2^{(m-1)/2} + 2^{(m+1)/2} \quad \text{– при нечетном } (m+1).$$

Быстродействие матричных дешифраторов составляет величину равную не менее $k \cdot \tau_{cp}$, где k - число ступеней дешифратора ($k=m-1$).

Другой разновидностью многоступенчатых дешифраторов являются пирамидальные дешифраторы. Особенностью пирамидального дешифратора является применение во всех ступенях дешифрации двухвходовых вентилях с обязательным подключением выхода элемента i -й ступени ко входам только двух элементов $(i+1)$ -й ступени. Число ступеней k - пирамидального шифратора на единицу меньше разрядности дешифрируемого числа. Число вентилях в каждой ступени определяется из выражения: 2^{i+1} , где i - номер ступени. Общее количество вентилях на дешифратор равно:

$$N = \sum_{i=1}^{m-1} 2^{i+1} = 2^2 (2^{m-1} - 1)$$

На рисунке 2.5 показан пирамидальный дешифратор на 16 выходов.

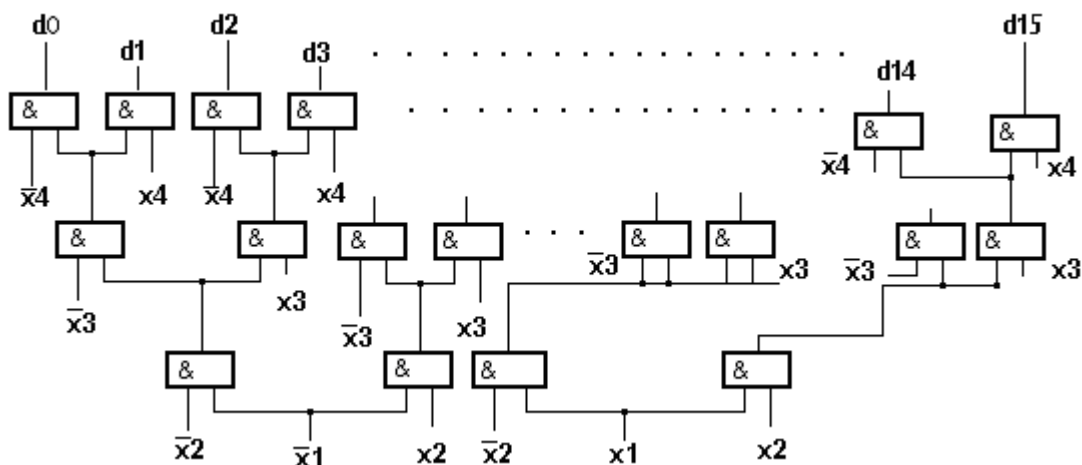


Рисунок 2.5 – Структурная схема пирамидального дешифратора

Пирамидальные дешифраторы значительно уступают по быстродействию линейным дешифраторам, т.к. время задержки равно:

$$\tau_3 = \tau_{cp} \cdot (m-1).$$

2.2 Мультиплексы

Мультиплексы - это комбинационные устройства, предназначенные для коммутации одного из нескольких источников логических сигналов к одной выходной шине. Обозначение мультиплекса приведено на рисунке 2.6.



Рисунок 2.6 – Условно - графическое обозначение мультиплекса

Мультиплекс имеет 2^n входов для данных D , n управляющих (адресных) входов A (может также иметь входную логику для выбора кристалла), один выход Y_m (вход стробирующего сигнала \bar{S}). Логическая схема мультиплекса показана на рисунке 2.7 и включает в себя дешифратор и коммутаторы сигналов, объединенные по выходам. Причем, объединение по выходам может осуществляться двумя способами: объединение с помощью многовходового логического элемента ИЛИ либо с помощью монтажного ИЛИ.

В последнем случае большой интерес представляют КМОП-мультиплексы, в которых роль коммутаторов выполняют двухнаправленные КМОП-ключи, как показано на рисунке 2.8.

Такие ключи осуществляют двухстороннюю передачу не только логического сигнала, но и аналогового. Таким образом, КМОП - мультиплекс является одновременно и двухсторонним коммутатором аналоговых сигналов.

Мультиплексы, имеющие режим высокого выходного сопротивления (в частности КМОП - мультиплексы) могут объединяться по выходам для подключения к общей шине без дополнительных согласующих элементов.

Временные характеристики мультиплексов задаются по трем трактам: вход адреса – выход, вход данных – выход, вход стробирующего сигнала – выход. Для большинства мультиплексов быстродействие определяется задержкой равной $\tau = (1-2)\tau_{cp}$.

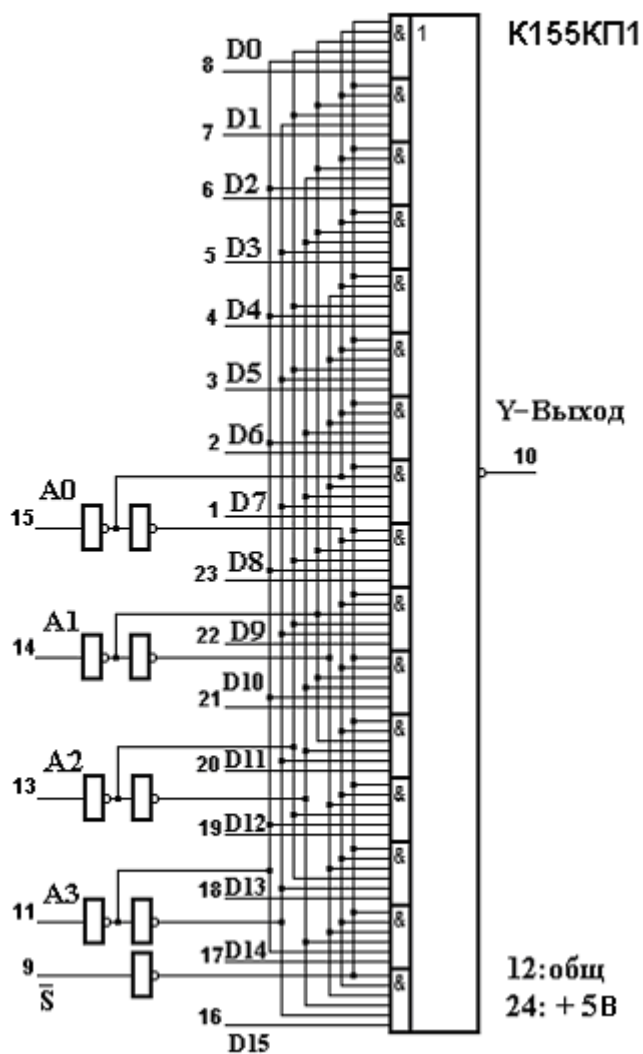


Рисунок 2.7 – Функциональная схема мультиплексора К155КП1

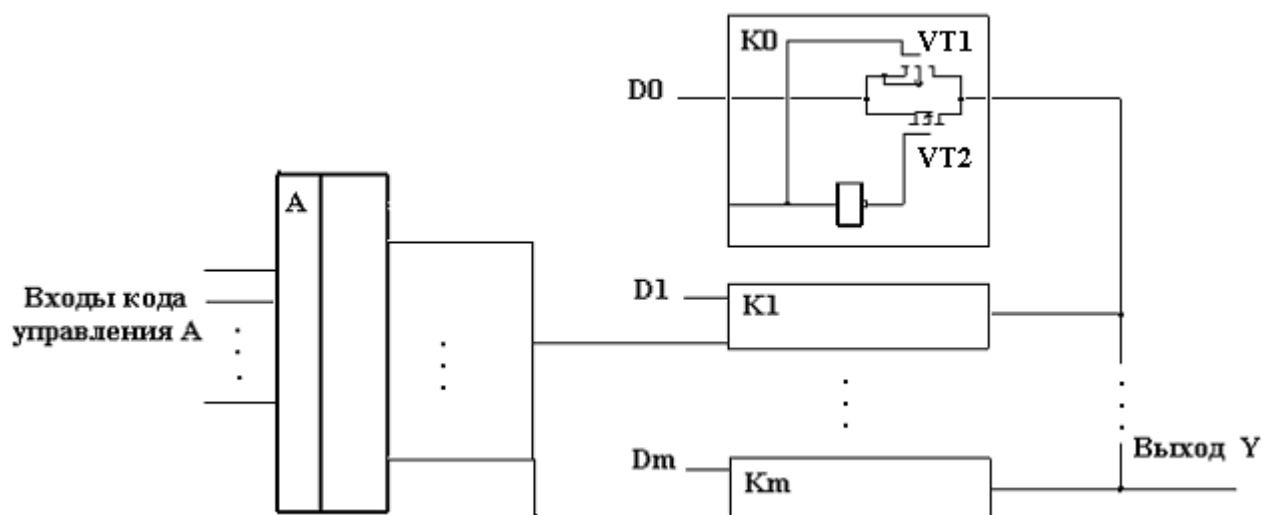


Рисунок 2.8 – Структурная схема мультиплексора с ключами на КМОП транзисторах

2.3 Сумматоры

Сумматоры предназначены для выполнения арифметических и логических операций над числами, представленными в двоичном, двоично-десятичном и других кодах. Различают одноразрядные и многоразрядные, последовательные и параллельные сумматоры. В цифровых схемах применяются одноразрядные сумматоры на два (полусумматор) и на три входа (полный одноразрядный сумматор). Логические функции, реализуемые полусумматором:

$$S=A+B,$$

$$P=AB,$$

где: S - сумма;
A, B - входы слагаемых;
P - выход разряда переноса.

Логические функции, реализуемые полным сумматором:

$$S=A+B+C,$$

$$P=AB+AC+BC,$$

где: C - вход переноса для подключения сигнала переноса с сумматора предыдущего разряда.

Полные сумматоры можно объединять в параллельные многоразрядные сумматоры. На рисунке 2.9 приведена схема двухразрядного сумматора ИС типа SN7482.

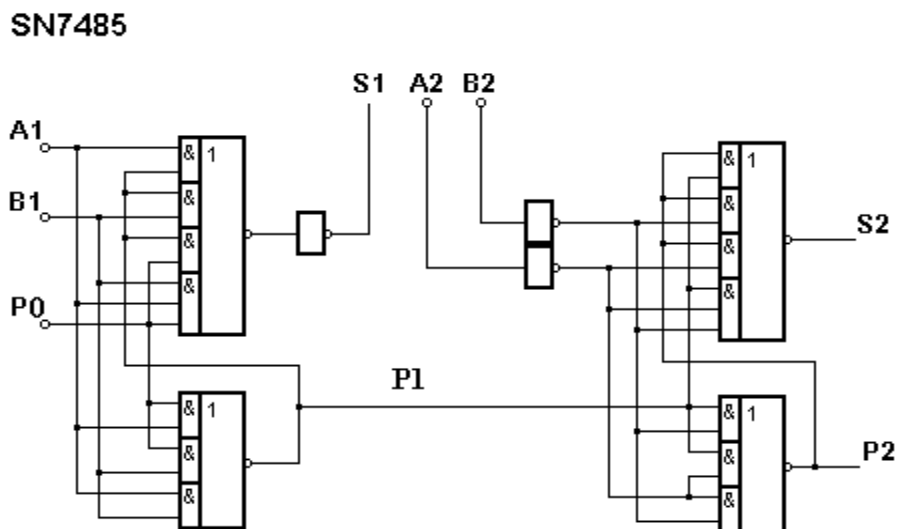


Рисунок 2.9 – Функциональная схема двухразрядного сумматора типа SN7482

Положительным свойством такой реализации является отсутствие инверсных входов, что позволяет на небольшом числе выводов ИС увеличить ее функциональную сложность. Задержка формирования суммы при этом равна $2\tau_{\text{ср}}$, где $\tau_{\text{ср}}$ – среднее время задержки одного логического элемента. На рисунке 2.10 приведено обозначение полного четырехразрядного сумматора - ИС типа К155ИМ3.

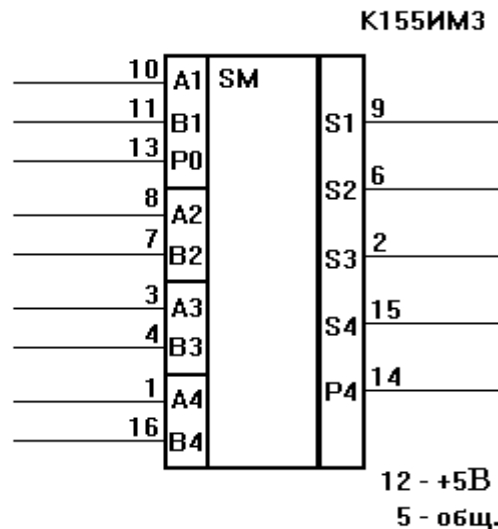


Рисунок 2.10 – Условно - графическое обозначение четырехразрядного сумматора К155ИМ3

2.4 Контрольные вопросы

- 1 Дайте классификацию комбинационных схем.
- 2 Объясните отличительные особенности функционирования различных комбинационных схем.
- 3 Перечислите и опишите принципы построения дешифраторов, как на функциональном, так и на уровне логических элементов.
- 4 От чего зависят сложность и быстродействие дешифратора?
- 5 Перечислите и опишите принципы построения мультиплексоров на функциональном уровне.
- 6 От чего зависят функциональные возможности мультиплексоров?
- 7 Как производится подготовка стенда для выполнения практикума?
- 8 Каков порядок выполнения практикума?
- 9 Объясните принцип работы сумматора.
- 10 Как осуществляется синтез и анализ комбинационных схем?
- 11 Поясните, что такое состязания, как их можно выявить и устранить.
- 12 Объясните работу всех приведенных в описании практикума схем, их особенности.
- 13 Что представляет собой сумматор с ускоренным переносом?

2.5 Порядок выполнения практикума

ВНИМАНИЕ! Соблюдайте правила техники безопасности при работе со стендом и приборами как с электрическими установками! Сетевое питание на стенд и питание на тестируемые схемы подавайте только после полного монтажа схемы и проверки монтажа преподавателем!

Для выполнения практикума используется лабораторный стенд "Цифровая электроника" (описание см. в п. 1.6).

При подготовке к практикуму в счет часов самостоятельной работы выполните следующее:

а) получите от преподавателя вариант тестируемых микросхем на занятии, предшествующем данному практикуму (таблица 2.1);

Таблица 2.1 – Типы тестируемых комбинационных ИС

Вариант	Типы тестируемых микросхем
1	K155ИД3, K155 КП5, K155 ИМ3
2	K155ИД4, K155КП1, K155ИМ3, K155КП2
3	K155ИД4, K155КП2, K155ИМ3, K155КП7

б) изучите по основной и дополнительной литературе, приведенной в настоящем пособии основы построения и принципы действия следующих комбинационных схем: дешифраторов и шифраторов, демультиплексоров и мультиплексоров, сумматоров и компараторов цифровых сигналов;

в) проработайте методические указания к настоящему практикуму;

г) начертите эскизы схем включения всех предложенных к проверке микросхем, используя приведенные в справочниках общепринятые для выполнения электрических схем обозначения комбинационных элементов, источников питания, общих шин, клемм и проводников (см. также п. 2.7).

Для проверки функционирования микросхем разработайте схему, в которой для задания кодовых комбинаций на управляющие входы дешифратора и мультиплексора или для задания пары чисел на сумматор (или компаратор) используются выходы двух четырехразрядных счетчиков, а для контроля состояния выходных сигналов микросхем применяются светодиоды;

д) составьте для всех схем таблицы, иллюстрирующие работу полного четырехразрядного сумматора, дешифратора, мультиплексора, компаратора для различных кодов входных сигналов (таблица 2.2).

Таблица 2.2 – Пример заполнения фрагмента таблицы, иллюстрирующей работу четырехразрядного сумматора

Входные кодовые комбинации чисел									Выходные коды суммы чисел					Децимальный эквивалент суммы
C ₀	A ₄	A ₃	A ₂	A ₁	B ₄	B ₃	B ₂	B ₁	C ₄	S ₄	S ₃	S ₂	S ₁	
1	0	1	1	0	0	0	0	1						

При выполнении практикума в лабораторном классе:

- представьте преподавателю заполненные таблицы, схемы включения и проверки функционирования, составленные при выполнении п.п. в), г), д), ответьте на контрольные вопросы и получите у преподавателя разрешение к проведению практикума;

- вставьте в сокету стенда одну из испытуемых микросхем заданного варианта (таблица 2.1). С целью проверки алгоритма работы микросхемы проведите с помощью перемычек монтаж схемы, составленной при подготовке. Проверьте внимательно монтаж схемы и представьте его для проверки преподавателю или лаборанту. Обратите внимание, что на стенде младшие разряды левого счетчика расположены рядом с кнопкой «+1», а у правого счетчика рядом с кнопкой "Сброс";

- получите экспериментально таблицы, отражающие алгоритм работы тестируемой микросхемы, задавая поочередно на входы микросхемы выходные двоичные коды с двух счетчиков стенда и наблюдая отклики на выходе схемы с помощью светодиодов. Сравните экспериментальные таблицы истинности с составленными до проведения опыта.

- измерьте мощность, потребляемую микросхемой;

- демонтируйте схему, аккуратно сложите все проводники и компоненты и вместе со стендом и передайте лаборанту;

- подготовьте отчет по практикуму и представьте его для защиты и получения зачета.

-

2.6 Содержание отчета

В отчете должны быть приведены:

- теоретический материал в объеме, достаточном для успешной защиты выполненной практикума;

- разработанные схемы и экспериментальные таблицы функционирования микросхем;

- результаты исследования схем в виде таблиц, раскрывающих алгоритм работы микросхем;
- выводы по практикуму.

2.7 Условно-графические и буквенно-цифровые обозначения комбинационных логических схем

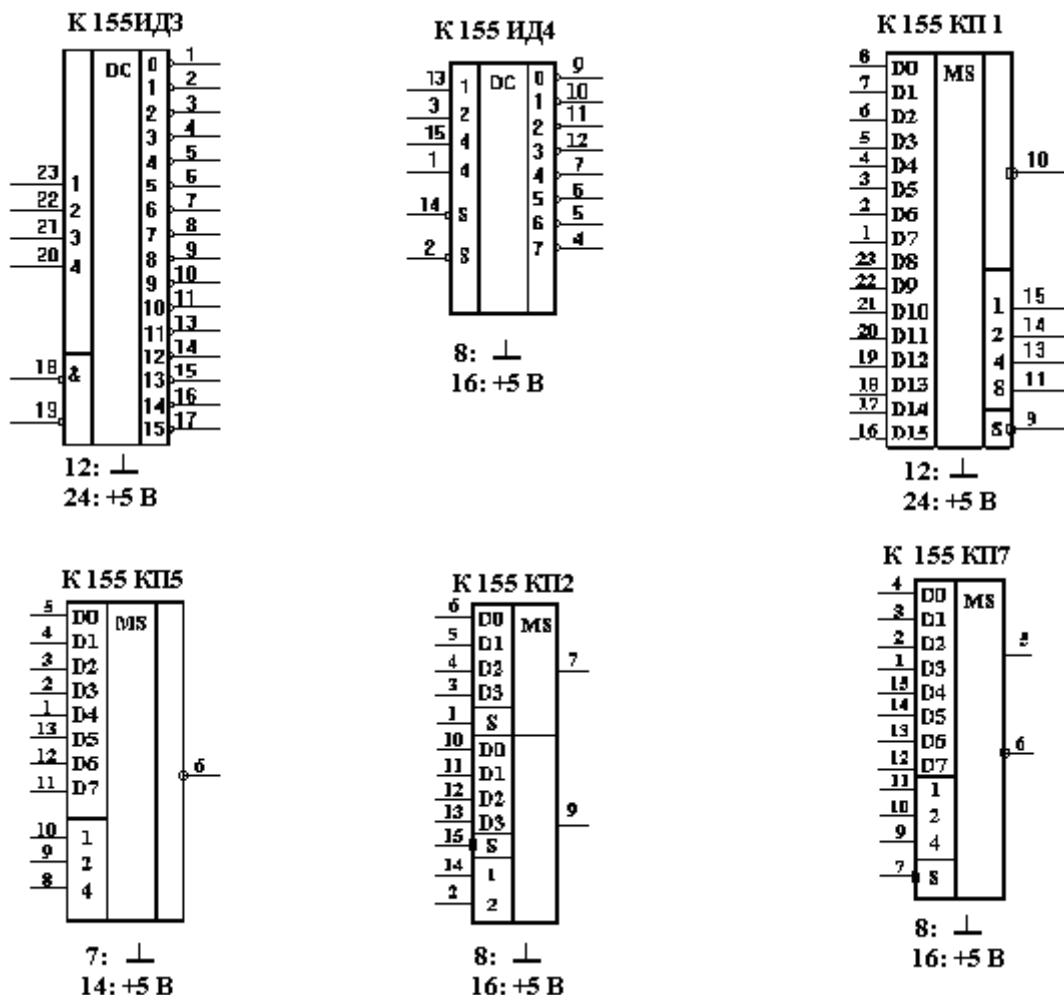


Рисунок 2.9 - Условно - графические и буквенно - цифровые обозначения комбинационных схем

3 Практикум "Триггерные устройства"

Практикум блока "Триггерные устройства" предназначен для изучения принципов построения, работы алгоритмов и методов анализа триггеров, счетчиков и регистров, выполненных по К-МОП и TTL технологиям.

3.1 Триггеры

3.1.1 Одноступенчатые триггеры

Триггер - устройство с двумя устойчивыми состояниями, способное под воздействием внешнего управляющего сигнала осуществлять скачкообразный переход из одного устойчивого состояния в другое. Состояние триггера и значение хранимой двоичной информации определяются прямым и инверсным выходными сигналами.

Принято считать, что если на прямом выходе имеется единичный сигнал, то триггер находится в единичном (включенном) состоянии. При этом сигнал на инверсном выходе нулевой. В противном случае триггер находится в нулевом состоянии.

Триггеры классифицируются:

- по способу синхронизации на асинхронные и синхронные;
- по способу управления информацией различают триггеры со статическим, динамическим, одноступенчатым и многоступенчатым управлением;
- по способу организации логических связей (функционирования) различают триггеры типа RS, D, JK, T и др.

В асинхронных триггерах изменения состояний происходят непосредственно при подаче сигналов на информационный вход (входы). В синхронных (тактируемых) триггерах состояния изменяются при подаче на специально выделенный управляющий вход синхронизирующих (тактирующих) сигналов после изменения значений сигналов на информационных входах.

Приняты следующие обозначения:

- R (от англ. Reset - сброс) - отдельный вход установки триггера в состояние 0 (отключенное);
- S (от англ. Set - установка) - отдельный вход установки триггера в состояние 1 (включенное);
- K (от англ. Kill - внезапное отключение) - вход отдельной установки универсального триггера в состояние 0 (отключено);
- J (от англ. Jerk -внезапное включение) - отдельный вход установки универсального триггера в состояние 1;
- D (от англ. Delay - задержка) - информационный вход установки триггера в состояние, соответствующее логическому сигналу на этом входе (0 либо 1);
- T (от англ. Toggle - релаксатор) - счетный вход триггера;

- С (от англ. Clock - источник сигналов синхронизации) - исполнительный управляющий (синхронизирующий) вход.

В вычислительной технике триггеры применяются в качестве элементов (ячеек) памяти в устройствах памяти, а также как базисные элементы построения различных узлов ЭВМ (счетчики, регистры и др.)

В данном практикуме исследуются RS, D и JK-триггеры, построенные на базисных элементах И-НЕ.

RS-триггер представляет собой устройство с двумя устойчивыми состояниями и двумя информационными входами R и S. Схема асинхронного (не синхронизируемого) RS-триггера на базисных элементах И-НЕ приведена на рисунке 3.1.

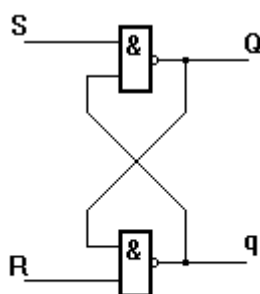


Рисунок 3.1-Триггер RS-типа

Триггер образован из двух логических элементов 2И-НЕ, соединенных так, что возникают положительные обратные связи. Допустим, что $Q=1$, $q=0$. При подаче $R=1$ и $S=1$ триггер остается в предыдущем состоянии, т.е. осуществляется режим хранения записанной ранее информации. При одновременной подаче сигналов 0 на оба входа RS-триггер переходит в состояние 1-1, из которого попытка перехода в режим хранения одновременной подачей 1 на входы триггера приведет его в неустойчивое состояние, что не должно допускаться. В противном случае возможен сбой в работе других устройств, связанных с выходами данного триггера. При подаче сигналов $S=0$ при $R=1$ или наоборот триггер устанавливается соответственно в "1" или "0".

Синхронный RS-триггер. В практике эксплуатации дискретных устройств на входы их элементов сигналы не всегда поступают одновременно. Это обусловлено тем, что входные сигналы устройства могут проходить до поступления через разное число логических элементов, не обладающих к тому же одинаковой задержкой. Эти явления неодновременных изменений входных сигналов называются состязаниями или гонками. В результате состязаний новые значения одних сигналов будут сочетаться с предыдущими значениями других, что может привести к ложным срабатываниям триггера, а поэтому и всего устройства, в которое он входит. Это отрицательное явление можно устранить путем стробирования. Для этого в триггере кроме информационных сигналов организуются тактирующие (синхронизирующие) импульсы. К

моменту прихода синхронизирующих сигналов информационные сигналы на входах триггера обычно успевают установиться.

На рисунке 3.2 приведена схема синхронного одноктактного RS-триггера на элементах И-НЕ, который кроме информационных входов S и R имеет вход синхронизации C. При C=1, триггер работает подобно асинхронному, при C=0 - сохраняет свое предыдущее состояние. Кроме того, триггер имеет асинхронные входы r и s, на которые подаются входные сигналы при C=0 с целью принудительной установки триггера в нужное состояние. В этом случае во время управления триггером, как синхронным устройством при C=1, на асинхронные входы должны подаваться сигналы 1. Необходимо подчеркнуть, что для обеспечения правильной работы синхронных триггеров информационные сигналы должны изменяться в течение паузы между синхроимпульсами, т.е. при C=0.

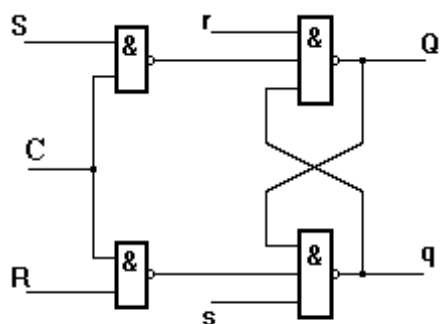


Рисунок 3.2 - Синхронный одноктактный RS-триггер

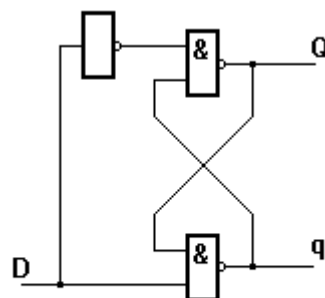


Рисунок 3.3 - Асинхронный D-триггер

D-триггер является одним из широко употребляемых триггеров. В синхронных дискретных устройствах D-триггер реализует функцию временной задержки и имеет только режимы установки "1" и "0". В связи с этим асинхронный D-триггер (рисунок 3.3) обычно не применяется, т.к. его выход будет просто повторять входной сигнал. Синхронный D-триггер (рисунок 3.4), являясь одноктактным, задерживает распространение входного сигнала на время паузы между синхроимпульсами (задержка на полпериода). Для задержки на период (на один такт) используется двухтактный D-триггер (рисунок 3.5).

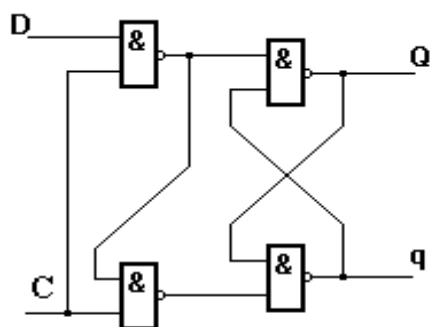


Рисунок 3.4-Синхронный D-триггер

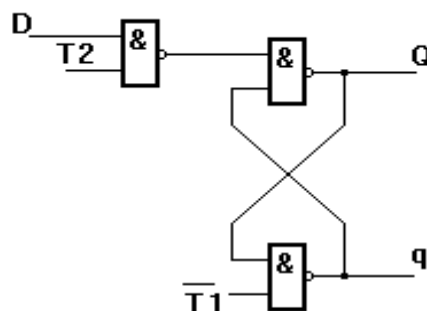


Рисунок 3.5- Двухтактный D-триггер

JK-триггер, одноклассовая схема которого с синхронным исполнением приведена на рисунке 3.6, отличается от RS-триггера структурно тем, что их входные элементы имеют обратную связь с выходов триггера. JK-триггеры, в случае $J=K=1$, инвертируют хранимую в них информацию (переключаются в противоположное состояние). Но при этом работают нестабильно, входя в режим генерации если входной сигнал для асинхронных триггеров больше по продолжительности, чем время срабатывания JK-триггера, а в синхронном - если синхроимпульс по продолжительности больше времени срабатывания триггера (что обычно и бывает). По этой причине в сериях базисных элементов содержатся только двухтактные (двухступенчатые) JK-триггеры.

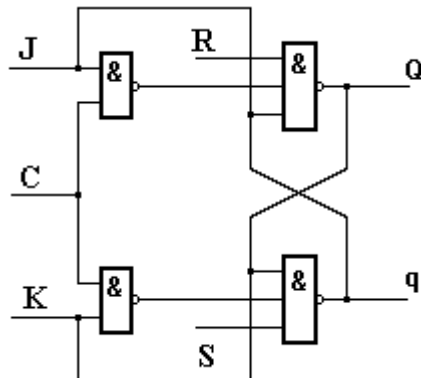


Рисунок 3.6- Синхронный JK-триггер

На базе синхронного JK-триггера можно реализовать асинхронный и синхронный T-триггер (счетный триггер), а также синхронные D-и RS-триггеры (рисунок 3.7).

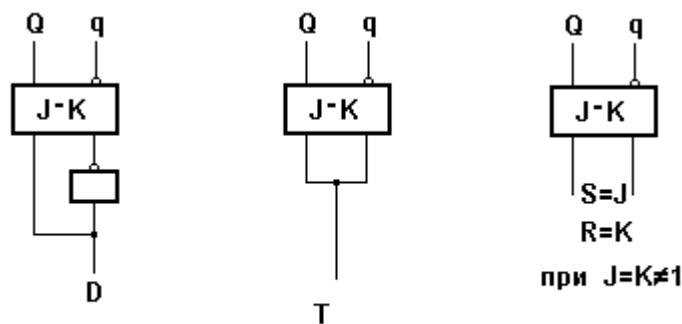


Рисунок 3.7-Триггеры типа D,Т и RS на основе JK-триггера

3.1.2 Универсальные двухступенчатые триггеры

В ЭВМ широко используют универсальные двухступенчатые JK-триггеры с групповыми J и K и дополнительными установочными R и S входами. Каждая группа входов J и K объединена конъюнкцией (рисунок 3.8), что позволяет расширить логические возможности JK-триггеров.

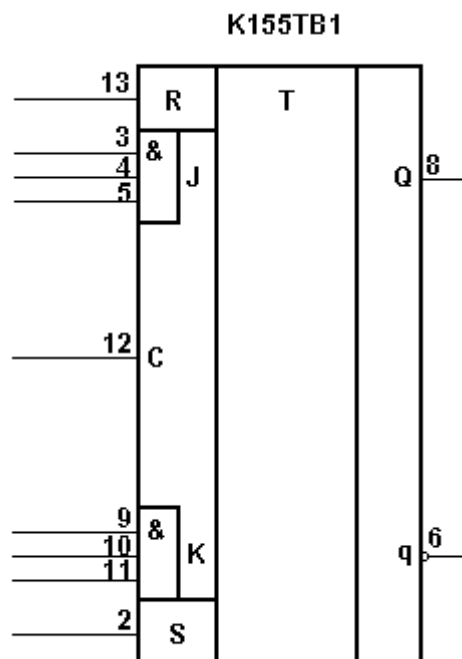


Рисунок 3.8 – Условно – графическое обозначение универсального двухступенчатого JK-триггера К155ТВ1 с групповыми J и K и дополнительными установочными R и S входами

Схемы двухступенчатых (двухтактных) триггеров универсального типа имеют повышенную стабильность и помехоустойчивость работы. Универсальность триггеров достигается наличием входов несинхронизируемой установки R и S, с помощью которых, при отсутствии синхроимпульса ($C=0$), триггер может быть установлен в состояние 1 путем подачи $S=1$, либо в состояние 0 путем подачи $R=1$. При установленных сигналах $R=S=0$, не

меняющих состояние схемы, переключение триггера осуществляется под воздействием синхронизирующих и информационных входов (при наличии $C=1$).

Независимо от типа универсальных двухступенчатых триггеров (RS, D, JK и т.д.) принцип их построения одинаков: синхронный двухтактный триггер состоит из двух частей, одновременный прием информации в которых запрещен. Для построения первой и второй ступеней используются синхронные триггеры со статическим управлением записью.

Если на синхронизирующий вход подается $C=1$, то первой ступенью принимается входная информация в течение действия синхроимпульса. Триггер первой ступени называют основным.

Если состояние синхронного входа равно 0 ($C=0$), то прием входной информации в первую ступень запрещается, разрешается смена сигналов на информационных либо установочных входах триггера, а вторая ступень принимает (копирует) информацию (состояние), хранимую в первой ступени.

Рассмотрим схемы основных типов универсальных двухступенчатых триггеров.

Синхронный двухступенчатый RS-триггер, схема которого приведена на рисунке 3.9, состоит из двух синхронных RS-триггеров со статическим управлением записью.

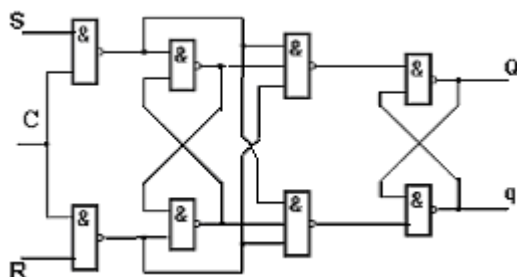


Рисунок 3.9- Синхронный двухступенчатый RS-триггер

Синхронный двухступенчатый D-триггер, схема которого приведена на рисунке 3.10, использует на первой ступени синхронный D-триггер со статическим управлением записью на второй - RS-триггер.

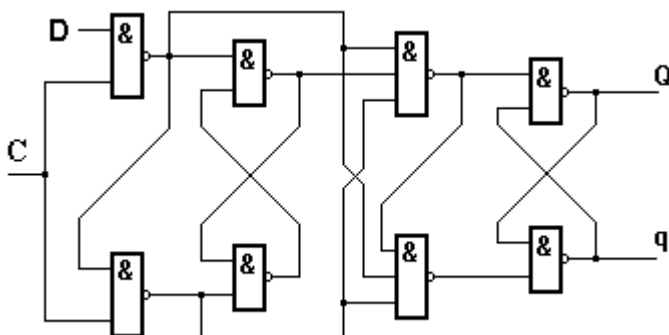


Рисунок 3.10 – Синхронный двухступенчатый D-триггер

Синхронный двухступенчатый JK-триггер может быть реализован на базе RS-триггера с введением обратной связи с выхода на вход. Его схема приведена на рисунке 3.11.

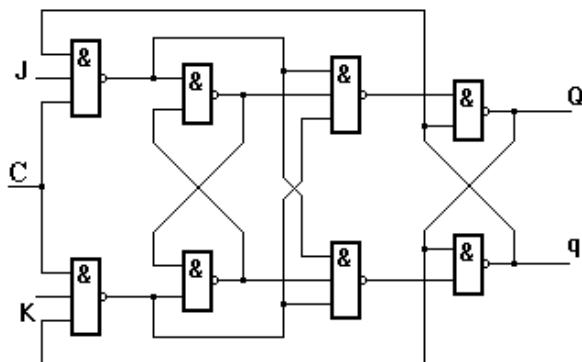


Рисунок 3.11 - Синхронный двухступенчатый JK-триггер

3.2 Регистры

Регистры - узлы ЭВМ, служащие для хранения информации в виде кодовых слов (n-разрядного двоичного числа) или его частей, а также для выполнения над словами некоторых логических операций (микроопераций). Регистры организуются в виде наборов триггеров того или иного типа со схемами управления. В зависимости от функционального назначения регистры подразделяются на накапливающие (регистры памяти) и сдвигающие.

3.2.1 Накапливающие регистры

Накапливающие регистры выполняют следующие микрооперации:

- установку (сброс) регистра в состояние 00..00 (в "ноль");
- установку регистра в состояние 11..11 или другое кодовое состояние;
- параллельный прием (запись) в регистр кода n-разрядного слова из другого устройства (регистра, сумматора, ЗУ и т.д.) и хранение его в течение требуемого интервала времени;
- параллельную передачу (чтение, считывание) слова в другое устройство;
- преобразование прямого кода в обратный и наоборот.

Накапливающие регистры или регистры памяти применяются для ввода (записи), хранения и вывода (чтения, считывания) двоичной информации одновременно всеми разрядами, т.е. в параллельной форме и, главным образом, для хранения и пересылки информации внутри ЭВМ, в отдельных узлах и для межузловой связи. Они могут быть образованы из асинхронных и синхронных, одноступенчатых и двухступенчатых триггеров различных типов.

Параллельные регистры могут быть однофазными, когда на входы триггеров регистра поступает однофазный код числа (без подачи инверсных значений цифр разрядов, и парафазными, когда на входы триггеров регистра

поступает парафазный код числа (при подаче как прямых, так и инверсных значений цифр разрядов).

Однофазный параллельный регистр может быть построен на D-триггерах, его схема изображена на рисунке 3.12.

При подаче единичного сигнала синхроимпульса на входы С триггеры регистра устанавливаются в состояния, определяемые действующими на входах значениями цифровых разрядов (1 или 0).

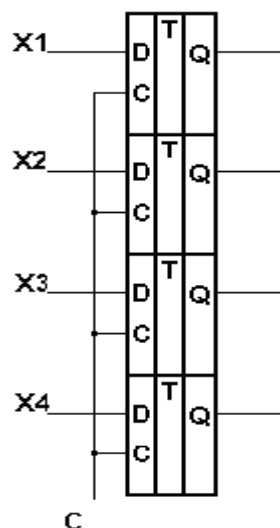


Рисунок 3.12 – Функциональная схема однофазного параллельного регистра

Парафазный параллельный регистр может быть реализован с использованием синхронных JK-триггеров, как показано на рисунке 3.13. Если цифра i -того разряда $X_i=1$, то единичный сигнал поступает на вход J соответствующего триггера, а инверсный (парафазный) сигнал на вход K и триггер включается (принимает единичное состояние). Если $X_i=0$, то единичный сигнал подается на вход K соответствующего триггера, а нулевой сигнал на вход J и триггер устанавливается в нулевое состояние. Таким образом, триггеры устанавливаются в состояния, определяемые поступающими парафазными сигналами входного информационного кода.

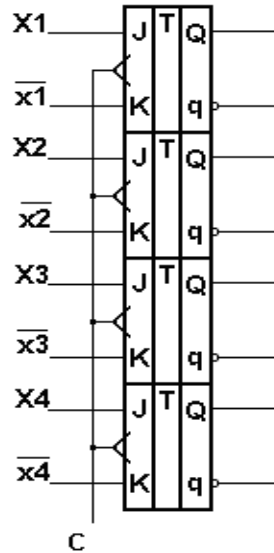


Рисунок 3.13 - Функциональная схема парафазного параллельного регистра

При выполнении арифметических операций возникает необходимость в преобразовании отрицательных чисел из прямого кода в обратный (путем инвертирования их цифровых разрядов).

На рисунке 3.14 приведен регистр, реализующий такое преобразование. Обычно нулевой разряд регистра является знаковым, значение $X_0=0$ сопоставляется положительному числу, а $X_0=1$ - отрицательному. На схеме при $X_0=0$ данные $D_i=X_i$ и на выходе регистра разряды числа Q_i будут в прямом коде, а при $X_0=1$ - в обратном коде ($D_i=X_i$), т.к. в первом случае информация с регистра снимается с прямых выходов триггеров (Q), во втором случае с обратных выходов.

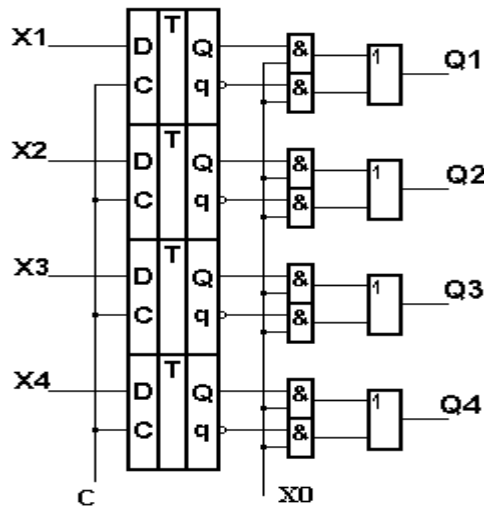


Рисунок 3.14. Регистр, преобразующий прямой код в обратный код

Как в однофазных, так и в парафазных параллельных регистрах прямой и обратный коды двоичного слова считывается соответственно с выходов Q_1, Q_2, \dots, Q_n либо с q_1, q_2, \dots, q_n .

3.2.2 Сдвигающие регистры

В зависимости от параллельного или последовательного способа записи и считывания цифровой информации различают сдвигающие регистры:

- с параллельной записью и параллельным считыванием;
- с параллельной записью и последовательным считыванием;
- с последовательной записью и последовательным считыванием;
- с последовательной записью и параллельным считыванием.

Сдвигающие регистры помимо перечисленных обеспечивают выполнение следующих дополнительных микроопераций:

- сдвиг слова вправо;
- сдвиг слова влево;
- преобразование последовательного кода, принимаемого разряд за разрядом, в параллельный;
- преобразование параллельного кода в последовательный, выдаваемый разряд за разрядом;
- поразрядные логические микрооперации (логическое умножение, логическое сложение и т.д.)

При реализации различных операций в арифметических и других устройствах ЭВМ широкое применение находят различные операции сдвига слов, записанных в регистры. Сдвиги, как операции, входят в состав системы команд всех ЭВМ. Операция сдвига кода - это перемещение в регистре всех разрядов слова на одинаковое число разрядов влево или вправо. В этом случае разряды слова, вышедшие из разрядной сетки регистра влево (или вправо) либо теряются, либо передаются последовательно, разряд за разрядом, во внешнее устройство, подключенное к регистру. В освободившиеся при этом разряды регистра записываются нули.

Рассмотрим примеры сдвига числа на один разряд влево и вправо (таблица 3.1). Суть сдвига вправо состоит в том, что цифра из i -ого разряда, имевшаяся до сдвига, передается в $(i-1)$ -й, более младший разряд; из $(i-1)$ -го разряда в $(i-2)$ -й и т.д. Суть сдвига влево заключается в том, что цифра, имевшаяся в i -м разряде регистра до сдвига, передается в соседний левый $(i+1)$ -й, более старший разряд; из $(i+1)$ -го разряда в $(i+2)$ -ой разряд и т.д.

Таблица 3.1 – Иллюстрация сдвига числа в регистре

Номер разряда в регистре	n	...	$i+1$	i	2	1	0
Число в регистре до сдвига	0	1	0	1	0	0	1
Число в регистре после сдвига влево на 1 разряд	1	0	1	0	0	1	0
Число в регистре до сдвига	1	0	1	1	0	1	0
Число в регистре после сдвига вправо на 1 разряд	0	1	0	1	1	0	1

Сдвигающие регистры, в которых ввод и вывод двоичного слова производится в последовательном коде (с использованием операции сдвига) называют последовательными регистрами. Последовательный сдвигающий влево регистр, построенный на D-триггерах, показан на рисунке 3.15.

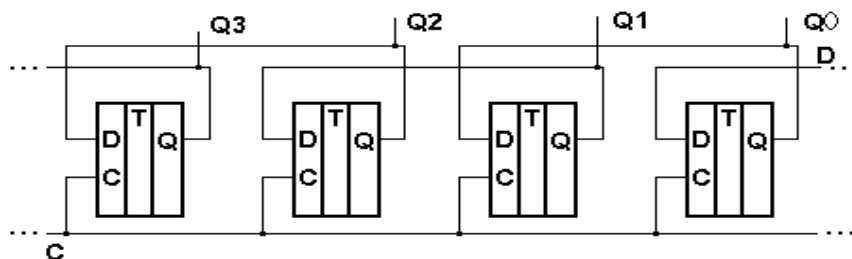


Рисунок 3.15 - Сдвигающий влево регистр на триггерах D-типа

Сдвигающий вправо последовательный регистр с параллельной записью кода, построенный на универсальных JK-триггерах, приведен на рисунке 3.16.

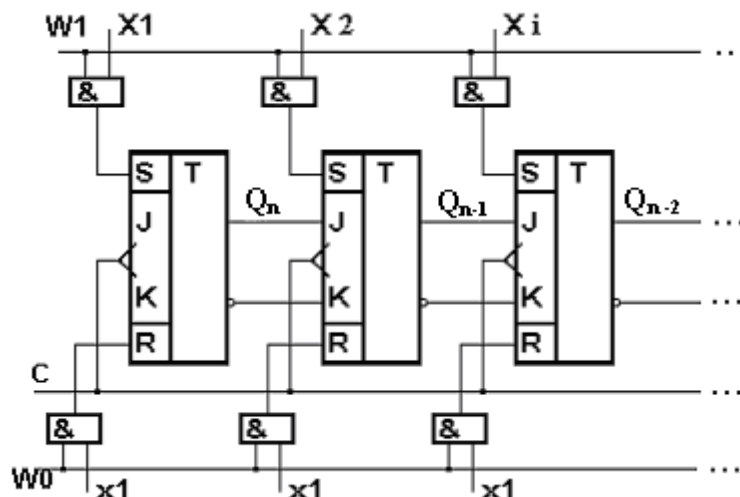


Рисунок 3.16 – Сдвигающий вправо регистр с параллельной записью информационного кода

Регистр, приведенный на рисунке 3.16, функционирует следующим образом. По сигналу W_0 "СБРОС", поданному на шину R, осуществляется обнуление триггеров регистра по входам R через соответствующие логические элементы И-НЕ.

Запись данных осуществляется под управлением сигнала W_1 , который подается на объединенные входы элементов И-НЕ, управляющих записью.

На вторые входы соответствующих схем И-НЕ поступают сигналы X_i - ой цифры кода. Обнуление и подача записываемой в регистр информации производится в отсутствие синхросигнала СИ (в два такта, что является недостатком данного способа записи). В момент прихода СИ на входы C триггеров сигнал с выхода Q_i -ого триггера воздействует на вход (i-1)-ый триггер, с выхода $Q_{(i-1)}$ -ого, на вход (i-2)-ого триггера, передавая им свое

состояние, т.е. происходит сдвиг вправо на один разряд от старших разрядов к младшим.

Иногда регистр должен иметь возможность сдвига информации в двух направлениях параллельной записью и считыванием числа. В этом случае используются реверсивные регистры такие, как показано на рисунке 3.17. Этот регистр организован на базе D-триггеров.

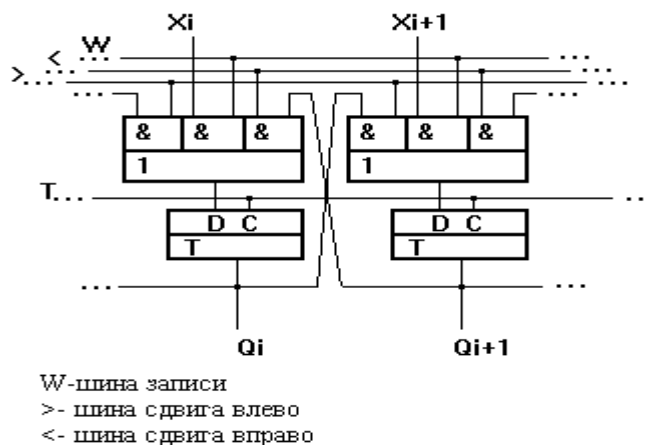


Рисунок 3.17 - Реверсивный сдвигающий регистр

Узлы записи информации в данном регистре перезаписывают информацию во время действия фронта тактового импульса T . По шине W подается сигнал разрешения записи, а на входы X_i - данные для записи в соответствующие разряды. Для записи параллельных данных используются элементы ИЛИ-НЕ. С помощью этого же узла и шин $>$ и $<$ можно управлять направлением сдвига.

3.3 Счетчики

Счетчик - это узел ЭВМ, который осуществляет подсчет количества поступающих от каких-либо устройств импульсов сигналов и хранение кода полученного числа.

Основными характеристиками счетчика являются разрешающая способность, быстродействие и информационная емкость. Разрешающая способность - это максимальное время между двумя сигналами, которые надежно фиксируются счетчиком. Быстродействие счетчика - величина, обратная разрешающей способности и равная числу сигналов фиксируемых счетчиком в единицу времени. Информационная емкость - максимальное число импульсов, которые могут быть подсчитаны счетчиком. Емкость счетчика определяется коэффициентом пересчета K . Базовыми элементами, из которых строятся счетчики являются триггеры. Счетчики различаются значением, типом и количеством используемых триггеров, режимами работы, порядком изменения состояний, организации связей между триггерами счетчика и др.

Счетчики могут быть одноразрядными, многоразрядными, двоичными, десятичными, а также с любыми целыми коэффициентами пересчета. По способу организации счета счетчики делят на последовательные и параллельные. В последовательных счетчиках переключение триггеров происходит последовательно во времени, в параллельных счетчиках - параллельно (одновременно) во времени.

Поскольку в ЭВМ основой является двоичная арифметика, наибольшее распространение получили двоичные счетчики. В большинстве случаев двоичные счетчики строятся на базе Т-триггеров, называемых часто счетными триггерами, осуществляющими последовательное во времени сложение по модулю 2. Можно также говорить, что счетный триггер является делителем частоты входных импульсов на два. Простейший последовательный двоичный счетчик приведен на рисунке 3.18.

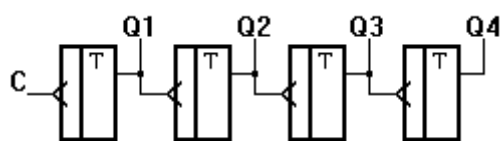


Рисунок 3.18 – Последовательный двоичный счетчик

Нередко требуется осуществлять счет, начиная с некоторого фиксированного числа, которое заносится в счетчик извне. Для этого используются смешанные триггеры из J-K и R-S триггеров, в которых R-S-триггер используется для ввода начального числа отсчета. R-S-триггеры используются также для установки счетчика в 0, когда это необходимо. Последовательный счетчик с параллельной записью информации приведен на рисунке 3.19.

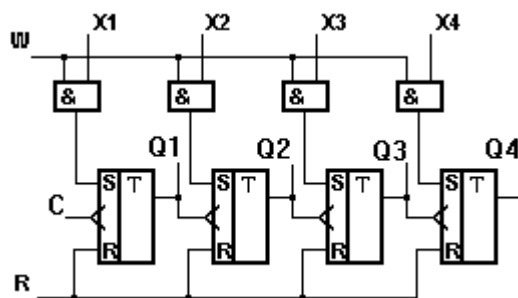


Рисунок 3.19 – Последовательный счетчик с параллельной записью информации

Схема четырехразрядного вычитающего двоичного счетчика приведена на рисунке 3.20. В отличие от суммирующего счетчика, при функционировании вычитающего происходит не перенос в более старший разряд, а заем из старшего разряда. Для этого используется связь младших разрядов со старшими по выходам q счетных триггеров.

Схема универсального четырехразрядного последовательного счетчика приведена на рисунке 3.21. Кроме шины управления параллельной записью

информации такой счетчик имеет также шины +1 и -1 для управления направлением счета. Фактически схема является соединением схем рисунка 3.19 и рисунка 3.20.

Последовательные счетчики обладают низким быстродействием. Ценой увеличения аппаратных затрат можно увеличить быстродействие двоичных счетчиков, если строить их по параллельной (синхронной) схеме как показано на рисунке 3.22. В таком счетчике все разряды переключаются параллельно во времени за один такт работы.

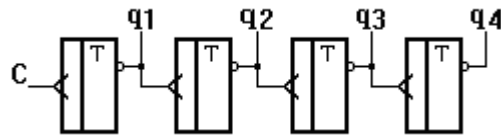


Рисунок 3.20 – Вычитающий счетчик

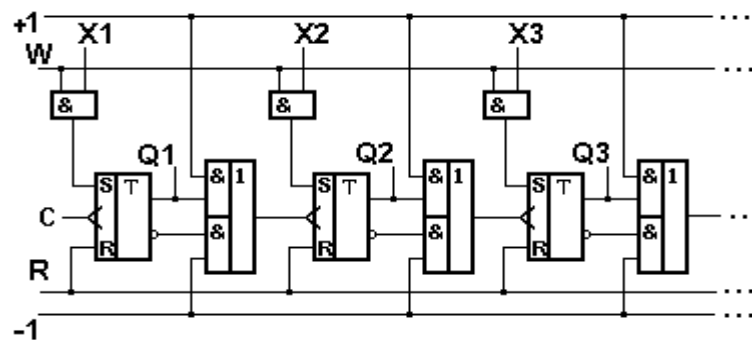


Рисунок 3.21 – Универсальный четырехразрядный последовательный счетчик с параллельной записью информации

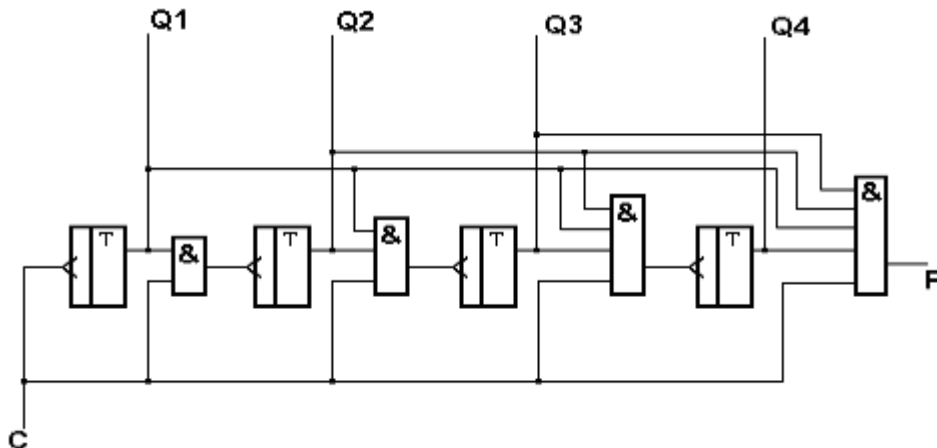


Рисунок 3.22 – Универсальный четырехразрядный последовательный счетчик с параллельной записью информации

3.4 Контрольные вопросы

- 1 Приведите схему Т-триггера на элементах И-НЕ и поясните ее работу
- 2 Дайте классификацию счетчиков по различным признакам.

- 3 Объясните отличительные особенности функционирования синхронных триггеров и причины их распространения в практике построения устройств.
- 4 Каковы отличительные особенности реализации двухступенчатых синхронных триггеров, их преимущества перед одноктактными?
- 5 Объясните функционирование всех приведенных в описании практикума триггеров, их особенности.
- 6 Дайте характеристику синхронных и асинхронных счетчиков.
- 7 Поясните работу суммирующего, вычитающего и реверсивного счетчиков.
- 8 Как реализуется счетчик с заданным циклом пересчета?
- 9 Реализуйте трехразрядный счетчик на D-триггерах.
- 10 Реализуйте блок-схему таймера, отсчитывающего секунды, минуты до 1 часа при частоте задающего генератора # (значение # взять у преподавателя).
- 11 Дайте классификацию регистров.
- 12 Какие преобразования кодов могут осуществляться в регистрах?
- 13 Поясните сущность микрооперации сдвига.
- 14 Какие микрооперации можно реализовать с помощью регистров?
- 15 Каким образом определяется быстродействие регистра?
- 16 Каковы преимущества использования в регистрах универсальных триггеров?
- 17 Чем отличаются регистры, построенные на JK-триггерах от регистров на D-триггерах?
- 18 Опишите функционирование регистра при записи и считывании последовательного кода.
- 19 Каковы два способа параллельной записи информации в регистр и их сравнительная характеристика?
- 20 Назовите и раскройте суть четырех способов записи и считывания информации в универсальный регистр.

3.5 Порядок выполнения практикума

ВНИМАНИЕ! Соблюдайте правила техники безопасности при работе со стендом и приборами как с электрическими установками !

Сетевое питание на стенд и питание на тестируемые схемы подавайте только после полного монтажа схемы и проверки монтажа преподавателем!

При подготовке к практикуму в счет часов самостоятельной работы выполните следующее:

а) на занятии, предшествующему данному практикуму, получите от преподавателя вариант тестируемых микросхем (таблица 3.2);

Таблица 3.2 - Типы тестируемых триггеров

Вариант	Типы тестируемых триггеров
1	Синхронный одноступенчатый JK-триггер на м/с К155ЛА3 и К155ЛА4; D-, T-, JK- триггер К155ТВ1, К155ТМ2
2	Синхронный одноступенчатый D -триггер на м/с К155ЛЕ1и К155ЛЕ4, D-, T-, JK- триггер на м/с К155 ТВ9, К155ТМ7
3	Синхронный одноступенчатый RS-триггер на м/с К155ЛА3 и К155ЛА4; D-, T-, JK- триггер на м/с К155ТВ1

Таблица 3.3 - Типы тестируемых счетчиков

Вариант	Типы тестируемых счетчиков
1	К155ИЕ6
2	К155ИЕ10
3	К155ИЕ7

Таблица 3.4 - Типы тестируемых регистров

Вариант	Типы тестируемых регистров
1	К155ТМ8, К155ИР17
2	К155ИР8, К155ИР13
3	К155ИР1, 155ИР15

б) изучите по основной и дополнительной литературе, приведенной в рабочей программе дисциплины, основы построения и принципы действия триггерных схем;

в) проработайте методические указания к настоящему практикуму;

г) начертите эскизы схем включения всех предложенных к проверке микросхем, используя общепринятые для выполнения электрических схем обозначения логических элементов и триггеров, источников питания, общих шин, клемм и проводников, приведенные в справочниках.

Для проверки функционирования триггеров разработайте схему, в которой для задания сигналов на управляющие входы и синхровходы триггерных схем используются выходы четырехразрядного счетчика, а для контроля состояния выходных сигналов триггеров применяются светодиоды; при этом запись информации в тестируемом триггере производится от формирователя синхроимпульсов.

д) составьте таблицы состояний и переходов, иллюстрирующие работу всех триггерных схем.

При выполнении практикума в лабораторном классе:

- представьте преподавателю заполненные таблицы состояний и переходов, схемы включения и проверки функционирования, составленные при выполнении п.п. 3.5.г), 3.5.д), ответьте на контрольные вопросы и получите у преподавателя разрешение к проведению практикума;
- повторите методические указания к настоящему практикуму и изучите органы управления и индикации лицевой панели стенда;
- вставьте в сокету стенда одну из испытываемых микросхем заданного варианта (таблица 3.2, 3.3, 3.4). С целью проверки алгоритма работы микросхемы проведите с помощью перемычек монтаж схемы, составленной при подготовке к работе. Проверьте внимательно монтаж схемы и представьте его для проверки преподавателю или лаборанту. Для справки в приложении к настоящим указаниям приведены обозначения элементов;
- получите экспериментально таблицы, отражающие алгоритм работы тестируемой микросхемы, задавая поочередно на входы микросхемы выходные двоичные коды с двух счетчиков стенда и наблюдая отклики на выходе схемы с помощью светодиодов. Сравните экспериментальные таблицы с составленными до проведения опыта;
- демонтируйте схему, аккуратно сложите все проводники и компоненты и вместе со стендом передайте лаборанту;
- подготовьте отчет по практикуму и представьте его для защиты и получения зачета.

3.6 Содержание отчета

В отчете должны быть приведены:

- теоретический материал в объеме, достаточном для успешной защиты выполненной работы;
- разработанные схемы и составленные таблицы функционирования микросхем;
- результаты исследования схем в виде таблиц, раскрывающих алгоритм работы микросхем;
- выводы по практикуму.

3.7 Условно-графические и буквенно-цифровые обозначения триггерных устройств

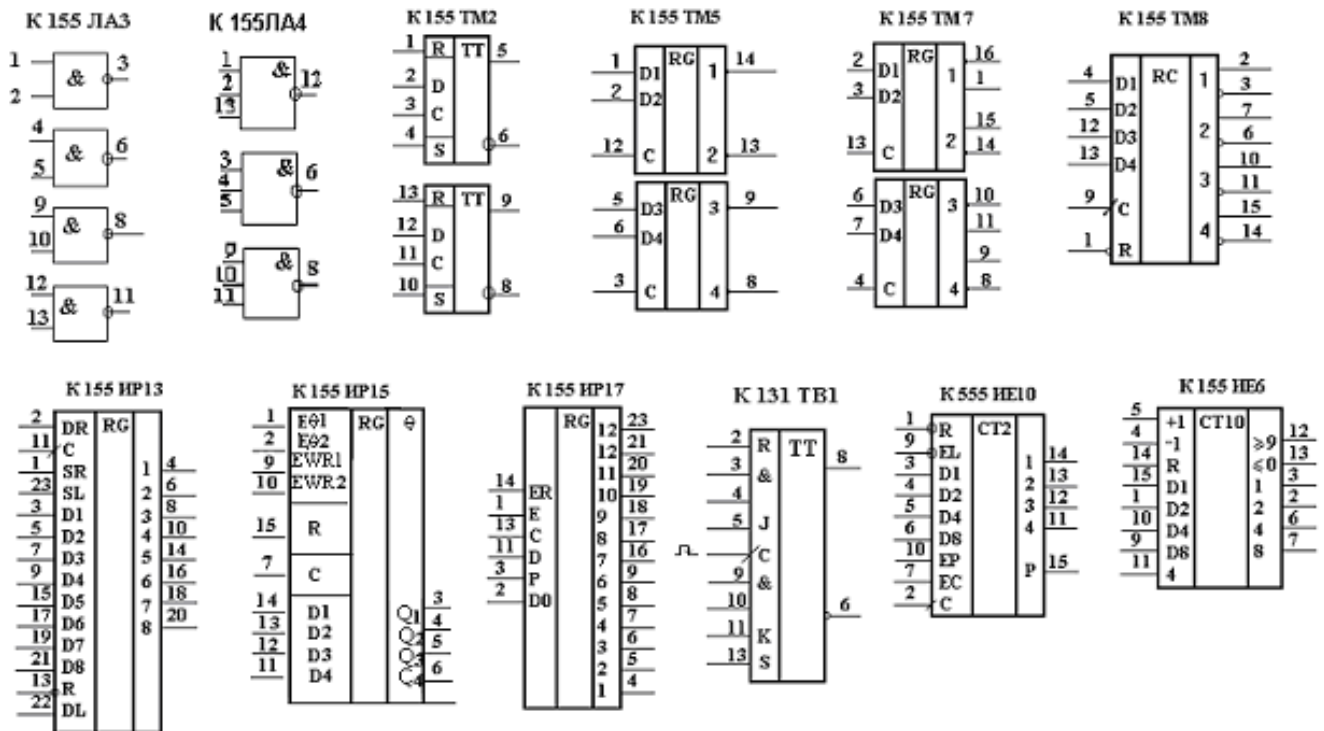


Рисунок 3.23 – Условно – графические обозначения тестируемых ИС

4 Практикум "Запоминающие устройства"

Выполнение практикума позволяет:

- изучить принципы работы серийно изготавливаемых запоминающих устройств, выполненных по К и n-МОП технологии;
- овладеть практическими методами записи и считывания, редактирования и программирования ППЗУ с ультрафиолетовым стиранием информации.

В практикум включены сведения о следующих запоминающих устройствах:

- оперативные запоминающие устройства статического типа;
- оперативные запоминающие устройства динамического типа;
- программируемые постоянные запоминающие устройства;
- перепрограммируемые постоянные запоминающие устройства с возможностью стирания информации ультрафиолетовым излучением.

4.1 Оперативные запоминающие устройства статического типа

Техника БИС развивается, в первую очередь, по пути повышения степени интеграции цифровых схем с регулярной структурой. Наибольшего успеха в этом направлении достигнуто для БИС с МОП структурами. Различают статические ОЗУ на n - МОП - структурах и К - МОП - структурах.

На рисунке 4.1 показаны схемы ячеек ОЗУ статического типа на n-МОП транзисторах. Схемы ячеек рисунок 4.1 а), б) предназначены для ЗУ со словарной организацией. Схемы ячеек рисунок 4.1 в), г) обеспечивают построение ЗУ с координатной произвольной выборкой.

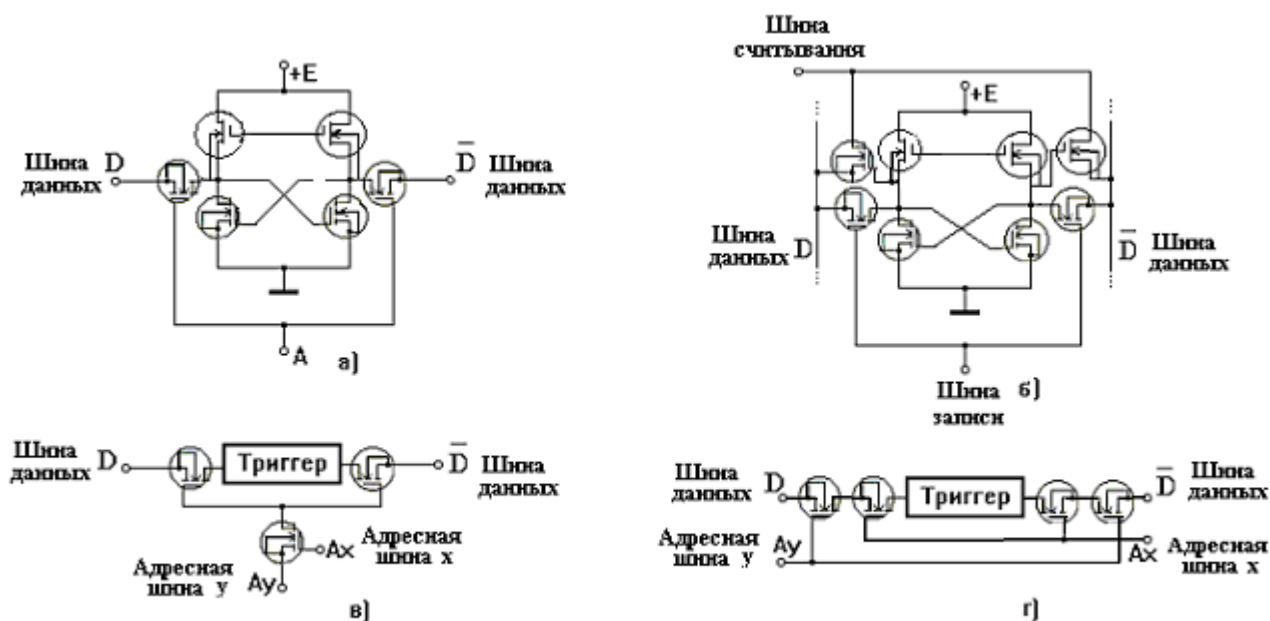


Рисунок 4.1 – Схемы ячеек ЗУ статического типа, выполненных на МОП-транзисторах с n-каналами

На рисунке 4.2 а) показана ячейка КМОП ОЗУ со словарной выборкой, а на рисунке 4.2 б) с координатной.

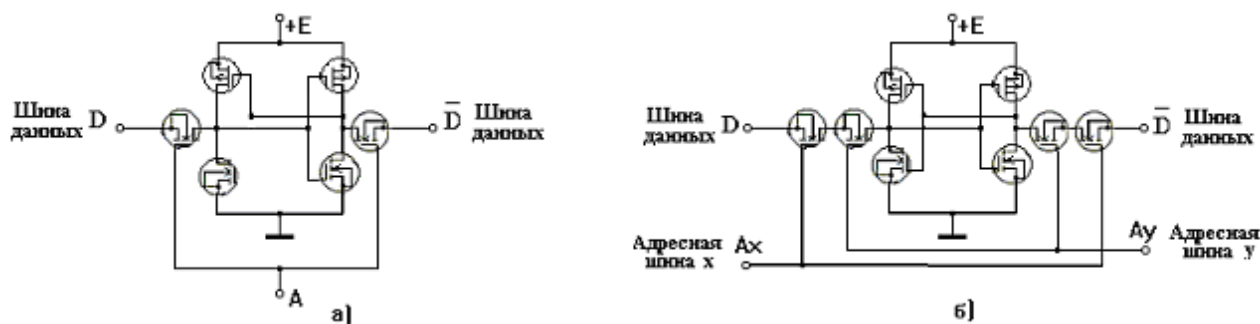
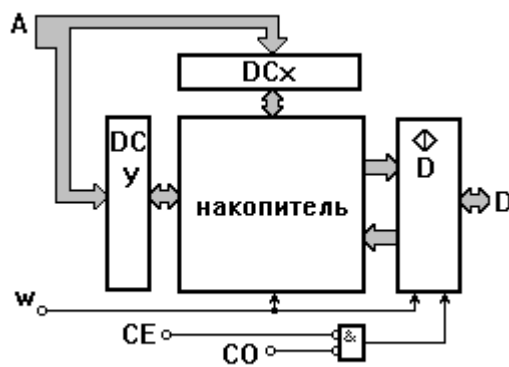


Рисунок 4.2 – Схемы ячеек ЗУ статического типа, выполненных на МОП-транзисторах n и p-типа (комплементарная МОП-структура – КМОП)

В обоих случаях ячейка ЗУ содержит триггер, являющийся элементом памяти и управляющие ключи для выбора ячейки, записи и считывания информации. Так как энергопотребление КМОП - ячеек гораздо ниже, чем n-МОП, то уровень интеграции, достигаемый в КМОП ОЗУ существенно выше уровня n-МОП.

В практикуме предлагается изучить микросхему ОЗУ КМОП типа КР537РУ10 (2816). Эта микросхема содержит 2048 восьмиразрядных слов оперативной памяти (см. справочник по микросхемам). На рисунке 4.3 показана блок-схема ОЗУ КР537РУ10 (2816).



- A – адресная шина;
- D – двунаправленная шина данных;
- DCx – дешифратор строк;
- DCy – дешифратор столбцов.

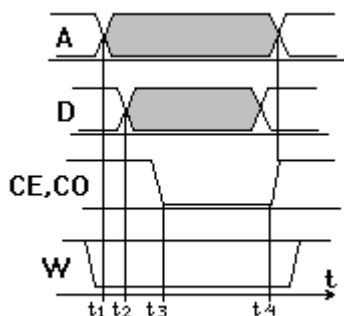
Рисунок 4.3 – Структурная схема микросхемы статической памяти КР537РУ10

Микросхема содержит матрицу-накопитель емкостью 2048*8 бит. Выбор каждого из 2048 слов осуществляется с помощью дешифраторов строк DCx и

столбцов DCy матрицы соответственно. Микросхема может работать в трех режимах: режим считывания, режим записи и режим хранения.

Режим работы определяется сигналами, подаваемыми на входы схемы управления согласно временной диаграмме, показанной на рисунке 4.4.

В режиме хранения микросхема КР537РУ10 (2816) характеризуется весьма низким энергопотреблением (не более 20 мкА).



A - сигналы адресной шины;

D - сигналы шины данных;

CE, CO – строб-сигналы записи – считывания;

W – сигнал разрешения записи – считывания.

Рисунок 4.4 – Временные диаграммы записи и считывания данных микросхемы КР537РУ10

4.2 Оперативные запоминающие устройства динамического типа

Динамические ОЗУ строятся по n-МОП технологии и характеризуются отсутствием транзисторов, работающих в качестве нагрузочных резисторов.

Простейшая динамическая ячейка показана на рисунке 4.5 а). Во время записи управляющий импульс шины адреса открывает транзисторы T1 и T2.

При этом емкости затворов C1 и C2 заряжаются током разрядных шин. Для регенерации содержимого ячейки необходимо повторять запись или считывание через определенные интервалы времени. Регенерация может производиться также с помощью общего тактирующего устройства через каждые 1..20 мс (в зависимости от уровня интеграции компонент накопителя) одновременно во всех элементах одной из строк матрицы. Для этого необходимо, чтобы выполнялись два условия:

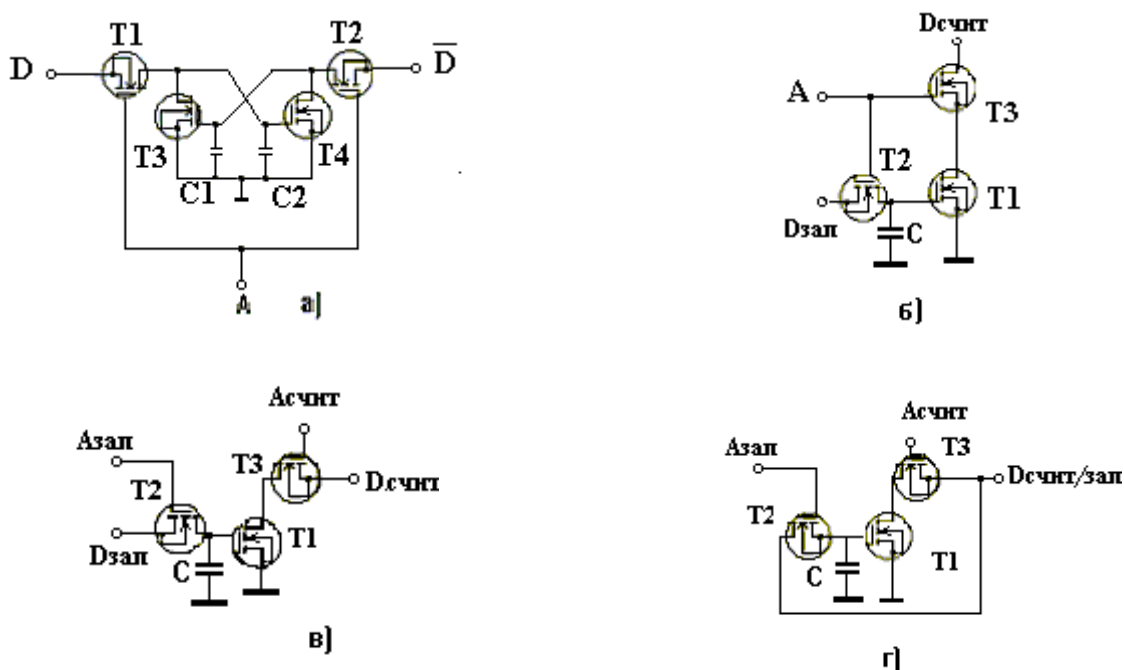
- схемы дешифрации адреса и выбора ячеек должны позволять одновременную выборку всех элементов одной из строк матрицы накопителя;

- схемы, связанные с разрядными шинами, должны рассчитываться на достаточно большие токи, чтобы обеспечить потенциал на этих шинах близкий к нулевому.

В динамической ячейке ЗУ, схема которой приведена на рисунке 4.5б), информация хранится на конденсаторе С. Схема, показанная на рисунке 4.5в),

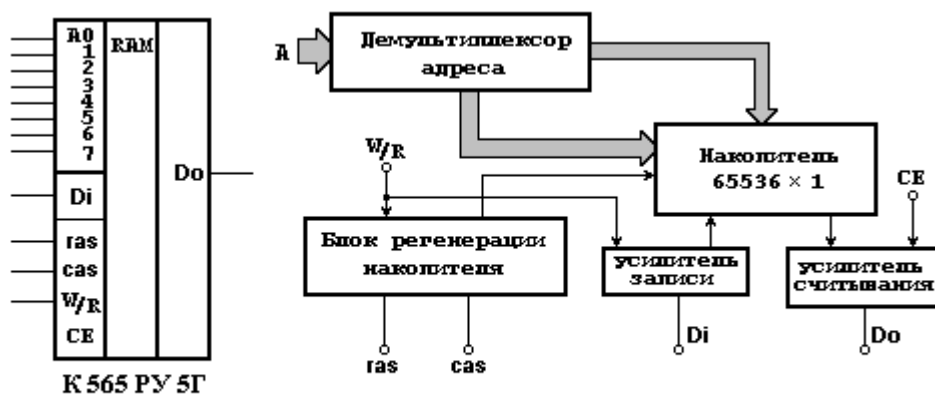
выполнена аналогичным образом, но имеет отдельные шины для записи и считывания информации. Роль "хранилища" информации во всех схемах играет емкость затвор-исток транзистора T1.

В схеме рисунок 4.5в) при записи 1 эта емкость заряжается в течении действия импульса "запись", поступающего на затвор T2. Считывание информации производится через транзистор T3, отпираемый сигналом "считывание", при этом потенциал на выходе ячейки зависит от напряжения на емкости C. При высоком уровне напряжения на емкости транзистор T1 открыт и на выходе будет напряжение, близкое к нулю. При отсутствии заряда на емкости будет считываться сигнал 1. Схема динамической ячейки памяти на рисунке 4.5г) характеризуется наличием отдельных шин разрешения записи и считывания при общей информационной шине "записи-считывания". Применение таких ячеек позволяет значительно упростить топологию БИС-ЗУ и повысить плотность компоновки ячеек на кристалле.



- D_{зап} - линия записи шины данных i – разряда;
- D_{счит} - линия считывания i – разряда шины данных;
- A – адресная шина записи – считывания i – разряда;
- A_{зап} – адресная шина записи;
- A_{счит} – адресная шина считывания;
- D_{счит/зап} – линия считывания и записи i – разряда шины данных.

Рисунок 4.5 – Схемы ячеек памяти динамических ЗУ



- A_i – адресная шина;
 D_i – вход данных для записи информации;
 D_o – выход данных для считывания информации;
 W/R – вход разрешения записи/считывания;
 gas – вход сигнала выбора строк;
 cas – вход сигнала выбора столбцов.

Рисунок 4.6 – Условно – графическое обозначение и структурная схема микросхемы КР565РУ5Г

Условное обозначение и блок-схема ОЗУ динамического типа КР565РУ5Г емкостью в 65536×1 бит приведены на рисунке 4.6. В микросхеме применено мультиплексирование адресных шин. При этом адрес выбираемой ячейки памяти загружается в микросхему через адресный интерфейс побайтно последовательно во времени и запоминается в регистре адреса. Микросхема работает в трех режимах: записи, считывания и хранения данных. Режим хранения характеризуется пониженным энергопотреблением.

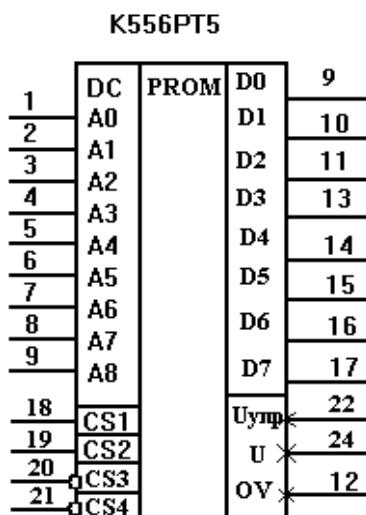
4.3 Программируемые постоянные запоминающие устройства с однократной записью информации

Однократно программируемые постоянные запоминающие устройства (ОПЗУ) - это наиболее дешевые, емкие и быстродействующие БИС. Существует три основных способа построения ОПЗУ:

- использование плавких перемычек;
- использование прожигаемых кремниевых перемычек ;
- программирование на одном из дополнительных (промежуточных) этапах изготовления (масочные ОПЗУ).

В данном практикуме рассматривается ОПЗУ TTL - типа с прожигаемыми кремниевыми перемычками - КР556РТ4 и КР556РТ5. Микросхема КР556РТ4 содержит 256×4 , а КР556РТ5 512×8 ячеек программируемой памяти. Микросхемы состоят из матриц накопителя, дешифраторов адресов, из матрицы шин, обеспечивающих прожигание перемычек и мощных ключей для ком-

мутации прожигающего тока. Условно–графическое обозначение ОПЗУ K556PT5 показано на рисунке 4.7.



- U_{упр} - вход сигнала управления;
- U – вход напряжения питания;
- OV - вход общей шины питания и сигналов;
- A₀ – A₈ – девятиразрядная шина адреса;
- D₀ – D₇ – восьмиразрядная шина данных;
- CS1 – CS4 – сигналы выбора кристалла.

Рисунок 4.7 – Условно – графическое обозначение микросхемы с однократной записью информации K556 PT5

На рисунке 4.8 показан фрагмент матрицы накопителя ОПЗУ.

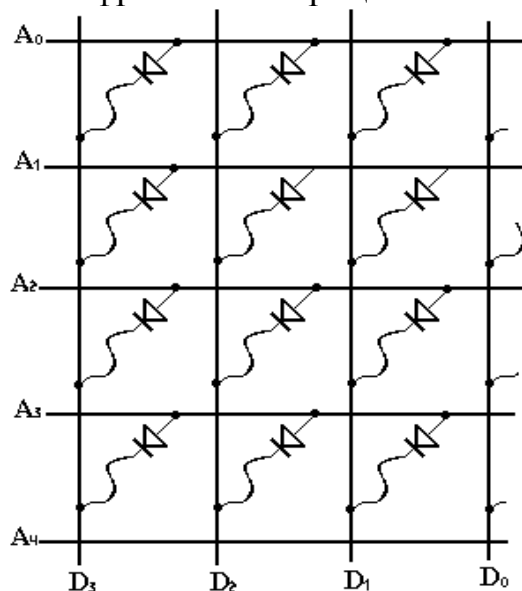


Рисунок 4.8 – Фрагмент матрицы накопителя ОПЗУ

На рисунке 4.9 приведены временные диаграммы сигналов и напряжения, обеспечивающие программирование.

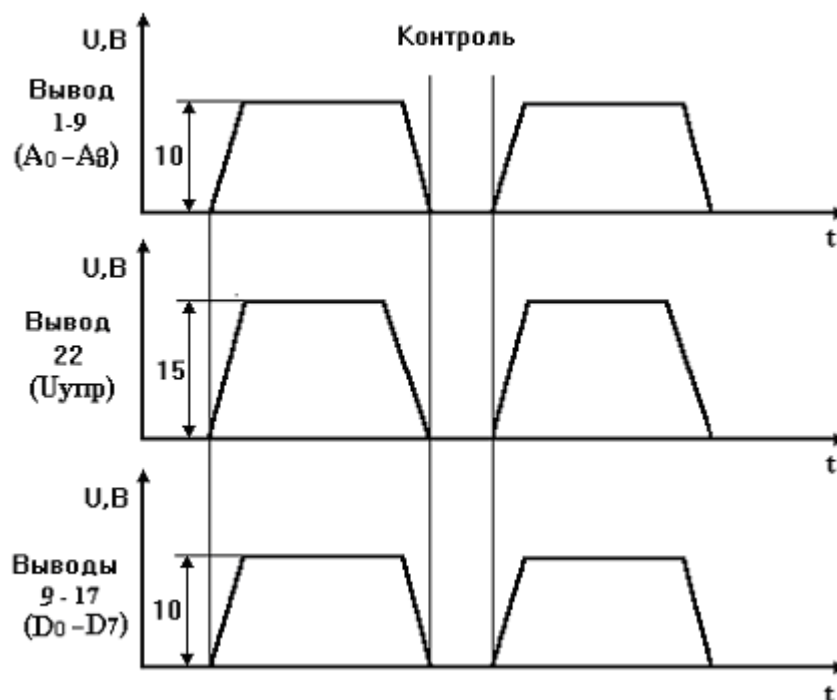
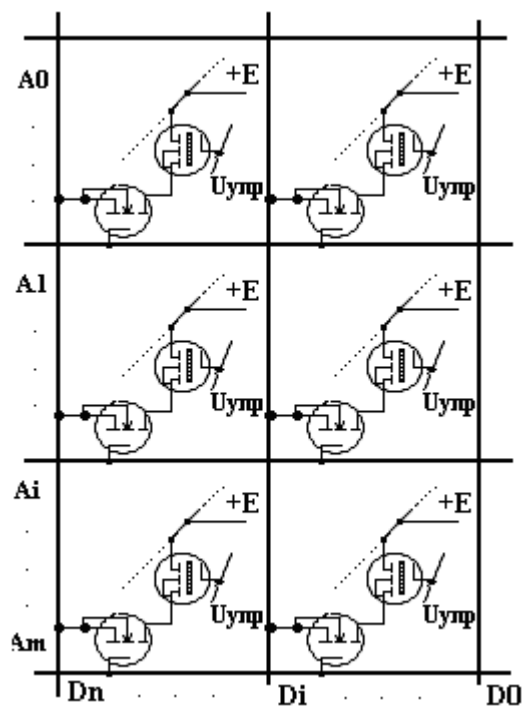


Рисунок 4.9 – Временные диаграммы программирования («прожигания») данных в ОПЗУ

4.4 Перепрограммируемые постоянные запоминающие устройства с возможностью стирания ультрафиолетовым излучением

Перепрограммируемые постоянные запоминающие устройства с возможностью стирания записи ультрафиолетовым излучением или электрическим способом допускают многократное стирание записываемой информации. Это достигается благодаря уникальным электрическим свойствам МОП - транзисторов с изолированными (плавающими) затворами. Из-за возможности многократного стирания информации, микросхемы такого вида называют многократно-программируемыми ПЗУ (МПЗУ). МПЗУ строятся на n- или К-МОП структурах, как показано на рисунке 4.10.

Изолированные затворы полевых транзисторов матрицы на рисунке 4.10 гальванически разъединены от всех цепей схемы и от кремниевой подложки тонким слоем двуокиси кремния. Изоляционный слой настолько тонок, что между плавающим затвором и обычным затвором, т.е. шиной программирования ($U_{упр}$), возникает наведенный заряд на "плавающем" затворе сквозь изолирующий слой окиси кремния при прохождении через шину программирования импульса тока. В результате этого при программировании на изолированных (плавающих) затворах возникает отрицательный заряд, который, благодаря высокому удельному сопротивлению двуокиси кремния, может сохраняться неизменным в течении многих лет. Эти заряды закрывают или открывают каналы полевых транзисторов. Например, если плавающий затвор данного транзистора заряжен отрицательным зарядом, то транзистор с n-каналом закрыт, а если нет, то открыт.



+E – напряжение питания;
 A_i – линия адресной шины;
 D_i – разрядные линии шины данных.

Рисунок 4.10 – Фрагмент матрицы накопителя МПЗУ с полевыми транзисторами с изолированными затворами

Микросхемы типа КР573 РФ2 являются перепрограммируемыми постоянными запоминающими устройствами со стиранием информации ультрафиолетовым излучением емкостью 2048 байт. Микросхемы большей емкости КР573РФ4, РФ6, РФ8 по построению подобны микросхеме КР573РФ2. Эти микросхемы являются аналогами зарубежных микросхем типа 2716, 2732, 2764, 27128, 27256, 27512.

Стирание информации осуществляется путем облучения кристаллов микросхем ультрафиолетовым излучением через специальное окно в корпусе микросхемы. При этом под действием облучения двуокись кремния частично ионизируется по всему объему, где проникает излучение и теряет свои изоляционные свойства. Заряд затвора стекает на подложку и полевые транзисторы снова закрываются.

4.5 Контрольные вопросы

- 1 Поясните принцип работы ячейки динамического ОЗУ.
- 2 Начертите временные диаграммы записи и считывания.
- 3 Как осуществляется регенерация?
- 4 Чем определяется период регенерации?
- 5 Поясните работу ячейки ОЗУ n- и К-МОП.
- 6 Как производится выборка ячейки ОЗУ?

- 7 Как осуществляются запись и считывание?
- 8 От чего зависит энергопотребление ОЗУ?
- 9 Поясните методику наблюдения логических сигналов с помощью осциллографа.
- 10 Начертите временные диаграммы работы ОЗУ.
- 11 Поясните принцип работы ячейки ППЗУ.
- 12 Начертите временные диаграммы программирования и считывания микросхемы КР537РУ10.
- 13 Как осуществляется программирование?
- 14 Чем определяется период программирования?
- 15 Что такое плавающий затвор?
- 16 Как осуществляется стирание информации?
- 17 Поясните принцип работы ячейки МПЗУ микросхемы КР573РФ2.
- 18 Начертите временные диаграммы программирования и считывания.
- 19 Как осуществляется программирование МПЗУ?

4.6 Оснащение практикума

Для выполнения практикума необходимо иметь:

- лабораторный стенд, содержащий программатор с источником питания, обеспечивающим все необходимые рабочие напряжения для работы программатора;
- осциллограф двухлучевой (или имеющий вход внешней синхронизации) с частотным диапазоном от 0 до 50 МГц;
- ПЭВМ типа IBM PC с последовательным интерфейсом RS232.

4.7 Описание программатора

4.7.1 Программатор предназначен для работы с УФ ППЗУ типа: К572РФ2, К572РФ4, К572РФ5, К572РФ6, К572РФ7, К572РФ8, 2716, 2764, 27128, 27256, 27512, 8764, 87256.

4.7.2 Программатор является составной частью комплекса на базе персональной ЭВМ IBM PC, имеющей последовательный интерфейс пользователя типа RS232. В программаторе предусмотрен стандартный или ускоренный алгоритм программирования ППЗУ.

Программно задаваемое напряжение программирования:

- +12.5 В с погрешностью не более 0.5 В;
- +21.0 В с погрешностью не более 0.5 В;
- +25.0 В с погрешностью не более 1.0 В.

Работа с ЭВМ осуществляется по последовательному каналу связи RS232 со следующими характеристиками:

- скорость приема/передачи, бод _____ 9600;
- разрядность шин данных, бит _____ 8;
- разрядность шин управления, _____ бит 2;

бит паритета отсутствует.

Обмен информацией между ЭВМ и программатором осуществляется информационными пакетами с контрольной суммой.

4.7.3 Программатор выполнен в виде автономного модуля, подключаемого к ЭВМ через RS232. Функциональный программатор состоит из трех блоков:

- микроконтроллер;
- преобразователь напряжения;
- схемы управления чтением/записью ППЗУ.

4.7.4 Микроконтроллер реализован на микросхеме K1816BE48, содержащей микропроцессор, ПЗУ для программы (1 кбайт), ОЗУ 64 байта. Микросхема содержит внутренний таймер, синхронизируемый кварцевым резонатором на 4608 кГц. Таймер обеспечивает последовательный интерфейс импульсами синхронизации с периодом следования 1/9600 с. Все алгоритмы работы цифровых цепей программатора обеспечиваются микропроцессором KР1816BE48.

Приемо-передатчик последовательного канала реализован на микросхеме KР590KH4.

Обмен данными, адресными сигналами и сигналами управления осуществляется через три порта, реализованными на микросхеме KР580BB55.

Напряжение питания для логических микросхем вырабатывается стабилизатором напряжения KР142EH5.

На эмиттерном повторителе, наборе диодов и конденсаторах реализован умножитель напряжения для программирования ППЗУ.

Микросхема D6 вырабатывает напряжения питания для работы с различными УФ ППЗУ (+5 В, +12 В, +21 В, +25 В). Микросхема D7 с эмиттерным повторителем вырабатывает напряжения +5 В и +6 В для питания УФ ППЗУ.

4.7.5 Микросхемы ППЗУ с ультрафиолетовым (УФ) стиранием информации могут быть запрограммированы одним из двух способов: STANDARD и FAST.

STANDARD программирует каждый байт в течении 50 мс непрерывно.

FAST программирует каждый байт импульсами длительностью по 1 мс с проверкой после каждого импульса. Количество импульсов не более 15. Если при этом проверка показала, что текущий байт запрограммирован, то вырабатывается дополнительный программирующий импульс длительностью в $3n$ ·мс, где n - количество импульсов по 1 мс.

4.7.6 Комплект программного обеспечения включает следующие файлы: KROT.EXE; KROTCOL.EXE; KROT.HLP; KROT.COL; KROT.CFG. Файлы KROT.EXE и KROT.HLP необходимо поместить в одном каталоге.

В процессе работы программа создает временный файл KROT.TMP, который служит буфером данных и автоматически удаляется при нормальном выходе. KROT.TMP создается в том же каталоге, где находится KROT.EXE.

Конфигурация программы содержится в файле KROT.CFG, где могут быть установлены подходящие параметры для программирования.

KROT.COL - файл цветового оформления, которое может быть изменено с помощью программы KROTCOL.EXE. При выходе из KROTCOL.EXE создается новый файл KROT.COL, а старый файл переименовывается в KROT.ВАН. При последующих запусках программы KROT.EXE цвета будут устанавливаться из KROT.COL, находящегося в каталоге, из которого производится запуск программы KROT.EXE.

Допустимыми форматами файлов могут быть BIN и HEX. Двоичные файлы могут иметь любое расширение кроме HEX.

Помощь вызывается посредством F1. Предыдущую подсказку можно вызвать, выбрав раздел "PREVIOUS".

Возможна работа с блоком данных. Выделение блока осуществляется в редакторе. При этом в левом нижнем углу появляется надпись БЛОК.

С блоком возможны следующие операции в редакторе EDIT:

- считать часть ПЗУ;
- программировать часть ПЗУ;
- сравнить часть ПЗУ с буфером;
- вычислить контрольную сумму части ПЗУ.

Работа с блоком заканчивается командой "удалить блок". При этом в левом нижнем углу исчезает надпись БЛОК.

Сочетание клавиш:

ALT/F10 используется для тестирования программатора и линии связи. При ее выполнении производится непрерывная передача байта 00H в линию. Программатор, получив данную посылку, отвечает таким же байтом. При нормальном прохождении теста в правом нижнем углу можно наблюдать бегущие цветные полосы, в противном случае появится надпись INVALID.

Кнопка меню FILES (работа с файлами) задает работу с файлами с помощью опций:

- LOAD FILE - загрузка файла. Производится перезапись данных из выбранного файла в KROT.TMP. Если выбранный файл с расширением .HEX, то он будет восприниматься как файл HEX - формата;
- SAVE FILE - запись файла из KROT-TMP в файл с указанным именем;
- OS SHELL - временный выход в DOS;
- QUIT - выход (файл KROT-TMP) удаляется.

"EDIT" - редактор, имеет следующие команды:

1) - Управление курсором:

- а) - ВВЕРХ, ВНИЗ, ВПРАВО, ВЛЕВО - соответствующие стрелки;
- б) - НАЧАЛО/КОНЕЦ строки - HOME/END;
- в) - слово ВПЕРЕД/НАЗАД - Ctrl+стрелка вправо/влево;
- г) - страница ВВЕРХ/ВНИЗ - Page Up/Page Down;
- д) - в НАЧАЛО/КОНЕЦ дампа - Ctrl+Page Up/Page Down;
- е) - по желаемому адресу – Ctrl + QF.

2) - Операции с блоком:

- а) - выделить начало блока – Ctrl + KB;
- б) - выделить конец блока – Ctrl + KK;

- в)- модифицировать блок – Ctrl + KM;
- г) - удалить выделенный блок – Ctrl + KH;
- д) - скопировать блок – Ctrl + KC;
- е)- записать блок в файл – Ctrl + KW;
- ж) - считать блок с позиции курсора – Ctrl + KR.

Кнопка меню E - DITCONFIG задает параметры редактора:

- ADDRESS RADIX - система исчисления адреса (BIN, OCT, HEX);
- DATA RADIX - система исчисления данных (BIN, OCT, HEX);
- WORD IN STRING - количество слов в строке редактора;
- STRING IN SCREEN - количество строк на экране.

Кнопка меню MAINCONFIG определяет основные параметры редактора:

- DEVICE - выбор программатора RF;
- LINE IN VOLUME - количество ячеек в рабочем объеме;
- CHIP IN LINE - количество микросхем в линейке;
- PROGRAMMING MODE - выбор алгоритма программирования;
- VOLTAGE - выбор напряжения программирования;
- ADDRESS INVERSION - инверсия адреса при работе с ППЗУ;
- DATA INVERSION - инверсия данных при работе с ППЗУ.

Кнопка меню TOOLS задает средства для работы с ППЗУ:

- READ CHIP - чтение ППЗУ;
- WRITE INTO THE CHIP - программирование ППЗУ;
- COMPARE WITH SAMPLE - сравнение ППЗУ с буфером;
- ERASE TEST - проверка ППЗУ на чистоту;
- CHECK SUM - вычисление контрольной суммы ППЗУ.

Кнопка меню OPTIONS устанавливает параметры программы:

- SOUND - вкл/выкл звукового сигнала;
- SERIAL PORT - последовательный порт (COM1,---,COM4);
- SAVE OPTIONS - сохранить параметры в файле KROT.CFG;
- SETRIEVE OPTIONS - восстановить параметры из файла KROT.CFG.

4.8 Порядок выполнения практикума

4.8.1 Ознакомьтесь с устройством и электрическими схемами различных типов ЗУ.

4.8.2 Изучите устройство и программное обеспечение программатора.

4.8.3 Ответите на контрольные вопросы.

4.8.4 Подключите программатор согласно руководству по эксплуатации и запустите выполнение программы KROT.EXE.

4.8.5 Установите в панель с надписью "РФ" исследуемую (программируемую) микросхему памяти.

4.8.6 Настройте программатор на работу с данным типом микросхемы.

4.8.7 Произведите контроль содержимого исследуемой микросхемы памяти.

4.8.8 Запишите файл, предложенный преподавателем в исследуемую микросхему.

4.8.9 Произведите сравнение записанного и исходного файлов.

4.8.10 Считайте файл из исследуемой микросхемы памяти.

4.8.11 Снимите осциллографом временную диаграмму напряжений на входах CS, CEO, и DO в процессе считывания.

4.8.12 Оформите отчет о выполненной работе, в котором нарисовать блок-схему программатора и привести временные диаграммы считывания и записи информации.

4.9 Условно-графические и буквенно-цифровые обозначения микросхем запоминающих устройств

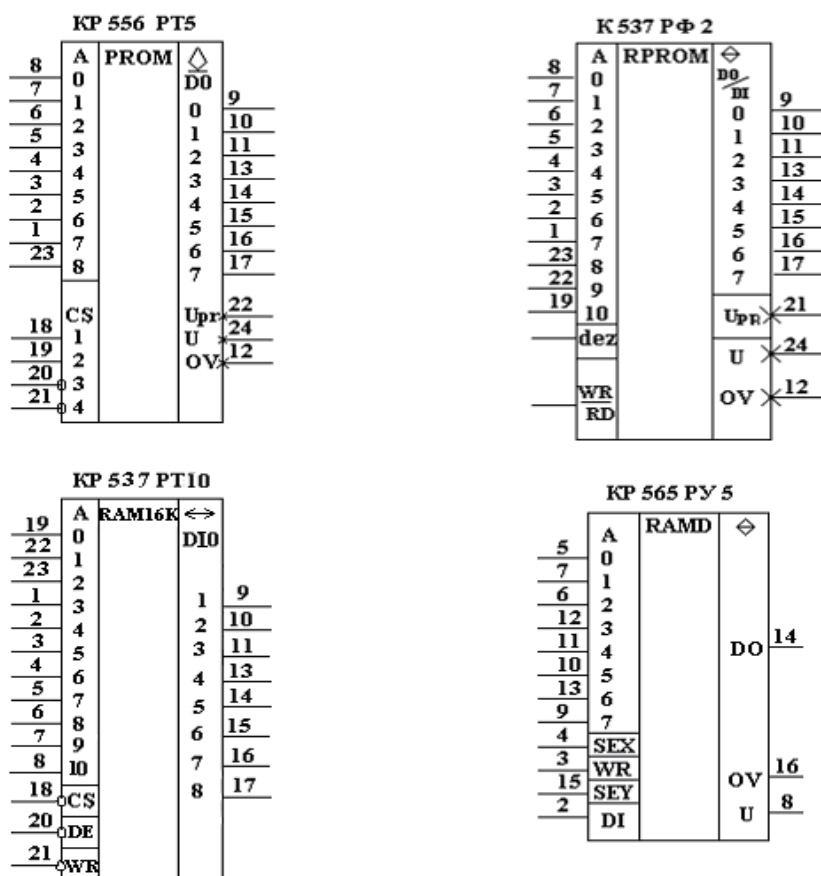


Рисунок 4.11 – Условно – графические и буквенно-цифровые обозначения интегральных микросхем памяти

5 Практикум "Управляющие устройства"

Цель практикума:

изучение принципов построения управляющих устройств различных типов, сравнительное исследование их преимуществ и недостатков;

приобретение навыков в сборке, наладке и анализе функционирования управляющих устройств различного вида.

Раздел содержит методики выполнения следующих работ:

- конечный автомат с жесткой логической структурой;
- микропрограммный автомат.

5.1 Практикум "Конечный автомат с жесткой логической структурой"

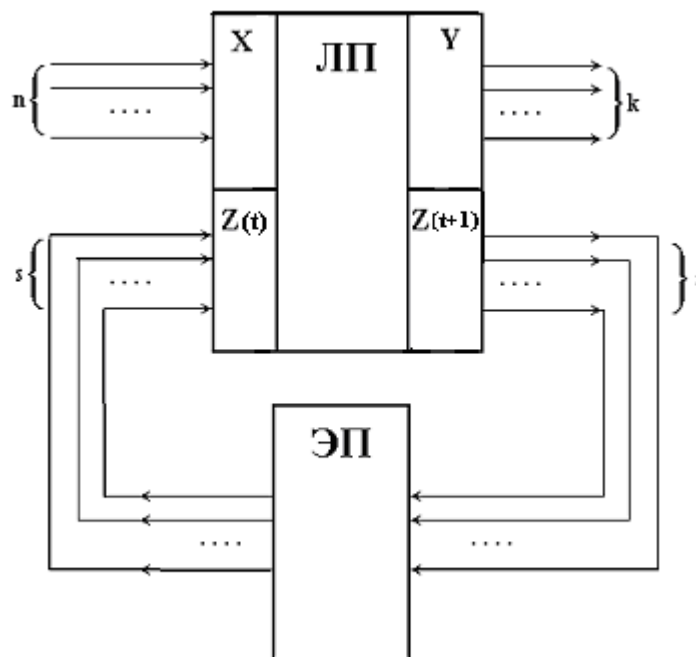
Управляющий автомат (УА) может рассматриваться как некоторое устройство, реализующее алгоритм функционирования системы управления. УА вырабатывает последовательность управляющих сигналов в соответствии с алгоритмом управления, которые воздействуют на объект управления (ОУ). При этом вырабатываемая последовательность сигналов зависит как от состояний объекта или окружающей среды, так и от состояний самого УА. Взаимосвязанные УА и ОУ образуют систему управления. В качестве системы УА-ОУ можно рассматривать, например, систему процессор-память в компьютере. Система УА-ОУ хорошо представляется в виде системы из двух автоматов - управляющего и операционного, где операционный автомат есть объект управления.

Операционные автоматы могут обладать различной структурой. Например, это может быть комбинационная схема такая, как арифметико-логическое устройство либо оперативное запоминающее устройство, либо шина передачи данных и т.п.

Управляющие автоматы имеют, как правило, структуру с достаточно выделенными частями - логической (комбинационной) и памятью.

Простейшей моделью управляющего автомата является дискретное устройство, показанное на рисунке 5.1 с n входами, k выходами и s внутренними цепями обратных связей. Часть такого n, k - полюсника, в которой сосредоточены логические элементы, образующие одноктактную схему, принято называть логическим преобразователем (ЛП). Множество ячеек памяти с соответствующими цепями обратных связей, каждая из которых имеет задержку, образуют элемент памяти (ЭП) управляющего автомата. На входы ЭП действуют сигналы, поступающие с s выделенных внутренних выходов ЛП.

С выходов ЭП сигналы поступают на выделенные внутренние входы ЛП. В простейшем случае каждый ЭП может находиться в одном из двух состояний. Формальной моделью таких дискретных устройств в теории автоматов является конечный автомат.



ЛП - логический преобразователь;

ЭП - элемент памяти;

X - поле входных воздействий;

$n = 1, 2, 3, \dots$ - число входов;

Y - поле выходных откликов;

$k = 1, 2, 3, \dots$ - число выходов;

$Z(t_i+1)$ – выходы кодового слова перехода автомата в момент времени (t_i+1) ;

S - 1, 2, 3, ... - число внутренних связей;

$Z(t_i)$ - входы кодового слова внутренних состояний автомата.

Рисунок – 5.1 Структурная схема управляющего автомата

Конечным автоматом называется устройство, определяемое конечным множеством кодовых состояний входа $P = \{p_1, p_2, \dots, p_N\}$, конечным множеством кодовых состояний выхода $A = \{a_1, a_2, \dots, a_K\}$, конечным множеством внутренних состояний $H = \{h_1, h_2, \dots, h_S\}$ и двумя функциями: функцией переходов и функцией выходов. Из множества внутренних состояний выделяется некоторое состояние h_i , называемое начальным состоянием автомата.

Предполагается, что автомат функционирует в дискретные моменты времени, т.е. непрерывная шкала времени разделена на множество интервалов $(t_{i+1}-t_i)$, которые занумерованы целыми положительными числами $T = \{t_0, t_1, t_2, \dots, t_i, \dots, t_m\}$ и которые называются тактами работы автомата. В промежутках времени между тактами сохраняются неизменными все состояния автомата. В зависимости от того, чем определяется длительность такта, автоматы разделяются на два класса: синхронные и асинхронные.

Синхронный автомат имеет генератор тактовых импульсов и входные сигналы могут воздействовать на автомат лишь при наличии тактового сигнала.

В асинхронных автоматах длительность интервала времени, в течении которого остается неизменным состояние входа, является величиной переменной и определяется только моментами изменений входных состояний.

В классе синхронных конечных автоматов рассматривают два типа автоматов: модель Мили и модель Мура.

Автомат Мили описывается функцией переходов и функцией выходов:

$$h(t_i+1) = \Phi[p(t_i+1), h(t_i)],$$

$$Y(t_i) = F[p(t_i); h(t_i)]$$

где: $h(t_i+1)$ – кодовое слово перехода автомата в новое состояние, которое зависит от внутреннего состояния автомата $h(t_i)$ непосредственно перед переходом и нового воздействия $p(t_i+1)$ в следующий момент времени

Автомат Мура отличается от автомата Мили функцией выходов, которая записывается как:

$$Y(t_i) = F[h(t_i)]$$

Существуют различные способы задания конечных автоматов. Наиболее известные способы - это таблицы и матрицы переходов, диаграммы переходов и автоматные уравнения.

5.1.1 Таблицы переходов

Таблицы переходов задают функцию перехода автомата. Каждый столбец таблицы соответствует внутреннему состоянию автомата, каждая строка - определенному состоянию входа. Клетка таблицы переходов соответствует состоянию автомата, определяющему внутреннее состояние, в которое автомат должен перейти в следующий момент времени. Таблица 5.1 является таблицей переходов полного синхронного автомата. Из таблицы видно, что автомат имеет четыре состояния входа p_1, p_2, p_3, p_4 и четыре внутренних состояния h_1, h_2, h_3, h_4 . В каждой клетке таблицы указывается номер внутреннего состояния, в которое автомат должен перейти в следующий момент времени. Если в какой-либо клетке таблицы состояние не указано, то это состояние называется неопределенным, а такой автомат называется недоопределенным. Недоопределенные автоматы могут существовать только теоретически. Практически же любая реальная схема автомата, построенная из логических элементов, соответствует полностью определенному конечному автомату. Для задания функции выходов автомата в таблицу переходов добавляют дополнительный столбец (автомат Мили) или выходные состояния указываются дополнительно в каждой клетке таблицы (таблица 5.2).

Таблица.5.1 - Таблица переходов

Внутреннее состояние (до перехода)	Состояние автомата (после перехода) при установке состояний входа			
	p1	p2	p3	p4
h1	h1	h3	h2	h1
h2	h2	h1	h4	h2
h3	h3	h3	h3	h2
h4	h4	h1	h2	h4

Таблица 5.2 - Таблица переходов с дополнительным столбцом, указывающим функцию выхода

Внутреннее состояние (до перехода)	Состояние автомата (после перехода) при установке состояний входа				Функция выхода
	p1	p2	p3	p4	
h1	h1	h3	h2	h1	Y1
h2	h2	h1	h4	h2	Y2
h3	h3	h3	h3	h2	Y3
h4	h4	h1	h2	h4	Y4

Таблица 5.3 - Таблица переходов с указанием в каждой ячейке таблиц функции выхода после перехода

Внутреннее состояние (до перехода)	Состояние автомата (после перехода) при установке состояний входа			
	p1	p2	p3	p4
h1	h1/y1	h3/y2	h2/y1	h1/-
h2	h2/y3	h1/y1	h4/-	h2/-
h3	h4/-	h3/y4	h3/-	h2/y3
h4	h3/y4	h1/-	h2/y2	h4/y1

Асинхронные автоматы тоже можно задавать с помощью таблицы переходов. Поскольку асинхронный автомат не имеет тактового входа, т.е. не подчиняется какому-то выделенному сигналу синхронизации, то его поведение всецело зависит от дисциплины изменения входных состояний. В результате чего все состояния, располагаемые в клетках таблицы переходов, разделяются на два вида: устойчивые и неустойчивые. В таблице переходов (таблица 5.4) устойчивые состояния заключены в скобки. Переход асинхронного автомата из одного устойчивого состояния в другое всегда связан с переходом его в неустойчивое состояние. При переходе автомата в неустойчивое состояние могут возникнуть гонки из-за нарушения дисциплины смены входных состояний или

из-за состязаний в комбинационной схеме, что в свою очередь может привести к недетерминированному поведению автомата. Поэтому таблицу переходов (функцию переходов) необходимо строить так, чтобы не возникало гонок.

Таблица 5.4 - Таблица переходов с указанием устойчивых состояний асинхронного автомата

Внутреннее состояние (до перехода)	Состояние автомата (после перехода) при установке состояний входа			
	p1	p2	p3	p4
h1	(h1)	h3	h2	(h1)
h2	(h2)	h1	h4	(h2)
h3	h4	(h3)	(h3)	h2
h4	h3	h1	h2	(h4)

5.1.2 Матрицы переходов

Матрица переходов, используемая для задания автомата, представляет собой квадратную матрицу (таблица 5.5), строки и столбцы которой соответствуют внутренним состояниям автомата. Элементы матрицы указывают состояние входа автомата, при котором он переходит из внутреннего состояния, соответствующего строке во внутреннее состояние, соответствующее столбцу, а также указывают соответствующее выходное состояние.

Таблица 5.5 - Матрица переходов автомата

Исходное внутреннее состояние	Переход во внутренние состояния			
	h1	h2	h3	h4
	При состояниях входа/выхода			
h1	p1/y1	p2/y2	p4/y1	p3/y2
h2	p3/y2	p1/y4	p2/y3	p4/y2
h3	p3/y4	p1/y1	p2/y4	p4/y1
h4	p2/y3	p3/y3	p1/y2	p4/y1

5.1.3 Диаграммы переходов

Диаграмма переходов - это ориентированный граф, вершинами которого являются внутренние состояния автомата, а дуги помечены входными и выходными состояниями, как показано на рисунке 5.2.

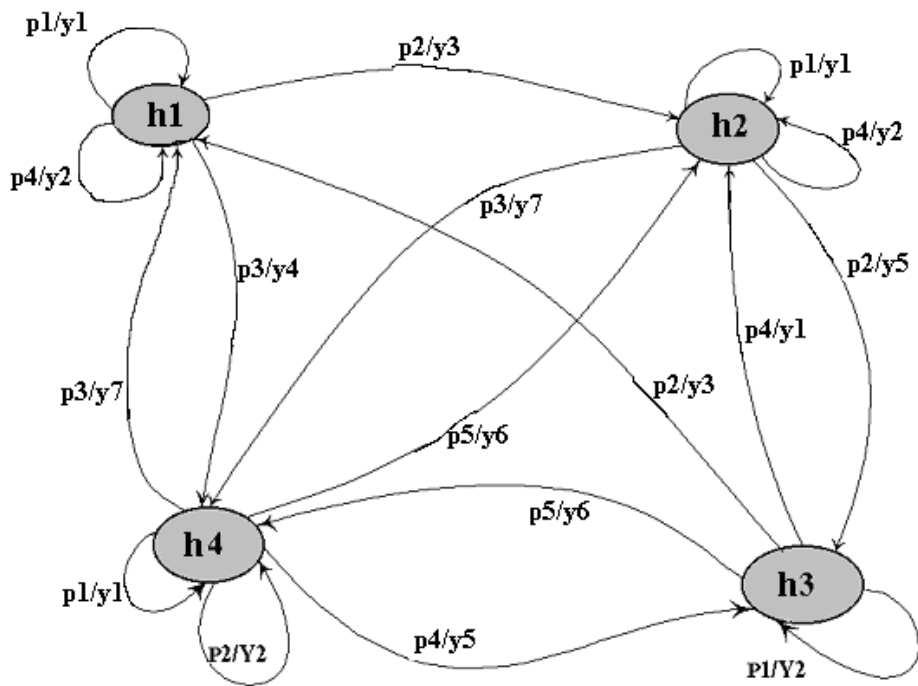


Рисунок 5.2 – Диаграмма переходов автомата

5.1.4 Автоматные уравнения

Автоматные уравнения - это примитивный способ задания автомата с помощью логических уравнений, описывающих логическую сеть, реализующую автомат на простейших логических элементах. Автоматные уравнения, называемые также функциями возбуждения автомата, являются результатом одного из этапов синтеза конечного автомата. Для несложных автоматов такой способ задания является достаточно наглядным и удобным для анализа его поведения.

5.1.5 Синтез конечных автоматов

Задача синтеза конечных автоматов разбивается на несколько этапов:

а) на первом этапе синтеза формулируются условия работы автомата, т.е. определяются условия его взаимодействия с объектом управления;

б) на втором этапе синтеза выявляется закон функционирования автомата, осуществляется его описание на одном из принятых формальных языков. Этот этап называют синтезом абстрактного автомата. На этапе абстрактного синтеза не интересуются свойствами логических элементов, из которых автомат в дальнейшем будет состоять. Не рассматривается какие конкретные значения принимают те или иные выходы ЛП или ЭП. Важно лишь знать число возможных различных состояний автомата и законы переходов между состояниями;

в) на третьем этапе осуществляют минимизацию внутренних состояний автомата;

г) на четвертом этапе осуществляется кодирование (размещение) внутренних состояний;

д) на пятом этапе осуществляется выписывание (в общем случае не полностью определенных) функций возбуждения автомата, их доопределение и минимизация;

е) шестой этап - построение ЛП на реальных логических элементах;

ж) последний этап - это соединение ЛП с ЭП и анализ работоспособности получившегося устройства.

5.1.6 Пример реализации автомата с жесткой логической структурой

Дано:

1 Диаграмма переходов – рисунок 5.2;

2 Коды входных сигналов: $p_1=000$, $p_2=101$, $p_3=011$, $p_4=010$, $p_5=111$;

3 Коды выходных сигналов: $y_1=101001$, $y_2=011011$, $y_3=111010$,
 $y_4=101011$, $y_5=001001$, $y_6=000011$, $y_7=100100$;

4 Коды внутренних состояний автомата: $h_1=00$, $h_2=10$, $h_3=01$, $h_4=11$.

Задание:

Требуется построить конечный автомат Мили по диаграмме переходов рисунок 5.2 без минимизации внутренних состояний.

Реализация

1 Исходя из диаграммы переходов, построим таблицу значений функции переходов и функции выходов (таблица 5.6).

2 Подставив соответствующие коды в таблицу 5.6, получим таблицу переходов (таблица 5.7) для системы функций возбуждения автомата.

Таблица 5.6 - Значения функций переходов и функции выхода автомата

H(t)	P(t)	H(t+1)	Y
1	2	3	4
h1	p1	h1	y1
h1	p4	h1	y2
h1	p2	h2	y3
h1	p3	h4	y4
h2	p1	h2	y1
h2	p4	h2	y2
h2	p2	h3	y5
h2	p3	h4	y7
h3	p1	h3	y2
h3	p5	h4	y6

Продолжение таблицы 5.6.

1	2	3	4
h3	p4	h2	y1
h3	p2	h1	y3
h4	p1	h4	y1
h4	p2	h4	y2
h4	p4	h3	y5
h4	p5	h2	y6
h4	p3	h1	y7

Таблица 5.7 – Таблица переходов возбуждений автомата

Адрес		Данные	
H(t)	P(t)	H(t+1)	Y
00	000	00	101001
00	010	00	011011
00	101	10	111010
00	011	11	101011
10	000	10	101001
10	010	10	011011
10	101	01	001001
10	011	11	100100
01	000	01	011011
01	111	11	000011
01	010	10	101001
01	101	00	111010
11	000	11	101001
11	101	11	011011
11	010	01	001001
11	111	10	000011
11	011	00	100100

3. Из полученной таблицы 5.7 видно, что:

- для восприятия входных кодов и оценки внутренних состояний в момент времени t_i и формирования выходных откликов, автомат должен состоять структурно из комбинационной схемы, которую можно построить, например, на ППЗУ типа К573РФ2;

- для хранения внутренних состояний автомат должен содержать элементы памяти, допустим, на D-триггерах типа К155ТМ2 или К561ТМ2.

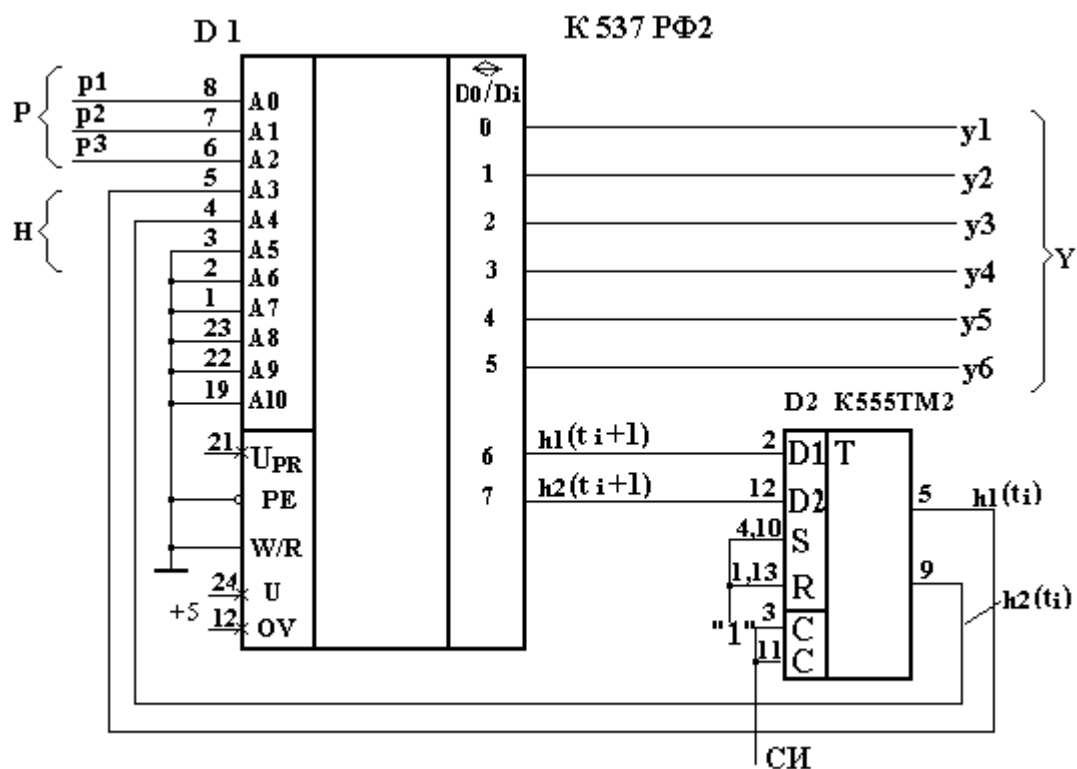


Рисунок 5.3 – Функциональная схема синтезируемого автомата Мили

В таком случае эскиз функциональной схемы создаваемого конечного автомата Мили на ППЗУ и триггерах будет выглядеть, как показано на рисунке 5.3.

В этой схеме комбинации входных сигналов, сигналы установки начального состояния, управляющие сигналы для конечного автомата можно будет подавать с выходов счетчика импульсов стенда, а в качестве источника тактовых импульсов автомата, которые необходимо подавать на элементы памяти, использовать генератор синхроимпульсов стенда (СИ).

Комбинационная часть схемы автомата реализуется на ППЗУ путем непосредственной прошивки в ячейках памяти содержимого таблицы переходов (коды $H(t+1)$ и Y) по адресам, определяемым кодами $P(t)$ и $H(t)$. Элементы памяти на двух триггерах могут хранить два бита информации о внутреннем состоянии автомата после перехода в очередное состояние.

Поскольку при реализации в ППЗУ минимизация комбинационной схемы не имеет смысла, то можно сразу переходить к размещению содержимого таблицы 5.7 в ППЗУ.

4. Получение кодов прошивки

Так как таблица 5.7 имеет всего 17 строк (т.е. в ПЗУ необходимо запомнить только 17 байт), а в ППЗУ К573РФ2 имеется возможность записать 2048 байт, то не все адресное пространство микросхемы необходимо занимать реализуемым автоматом. Поскольку комбинационная часть имеет только 5 входов, то можно выделить для данного автомата любую непрерывную область адресного пространства микросхемы емкостью в 32 байта. Для этого необходимо на

6 из 11 адресных входов микросхемы ППЗУ подать какие-либо константы. В выделенную таким образом область ППЗУ необходимо записать содержимое таблицы 5.7 в соответствии с выбранным вариантом обозначения оставшихся адресных входов микросхемы входными переменными комбинационной части автомата.

Разместим комбинационную часть в области ППЗУ, начинающуюся с адреса 00Н. Следовательно, на старшие разряды адресных входов микросхемы необходимо при этом подать константу 000000В. В таблице 5.8. приведена полученная прошивка ППЗУ.

Таблица 5.8 – Адреса и данные, записанные в ППЗУ

Адрес	Данные	Адрес	Данные	Адрес	Данные	Адрес	Данные
00	29	08	5B	10	A9	18	E9
01	**	09	**	11	**	19	**
02	1B	0A	A9	12	9B	1A	49
03	EB	0B	**	13	E4	1B	24
04	**	0C	**	14	**	1C	**
05	BA	0D	3A	15	49	1D	DB
06	**	0E	**	16	**	1E	**
07	**	0F	C3	17	**	1F	83

В таблице 5.8 знаком ** помечены безразличные состояния функций возбуждения автомата. Входные сигналы, соответствующие этим состояниям не должны подаваться согласно диаграмме переходов автомата и должны быть запрещены. Соответствующие ячейки ППЗУ могут оставаться не запрограммированными, т.е. иметь содержимое FF.

5.1.7 Контрольные вопросы

- 1 Поясните принцип действия программатора.
- 2 Поясните принципы работы синхронного и асинхронного автоматов.
- 3 Опишите таблицу переходов для конкретного автомата, заданного другим способом.
- 4 От чего зависит корректность поведения асинхронного автомата?
- 5 В чем заключаются преимущества и недостатки асинхронных автоматов?
- 6 Как работать со стендом?
- 7 Пояснить устройство и работу микросхемы К573РФ2.
- 8 Назовите и объясните назначение основных файлов программного обеспечения программатора.

5.1.8 Порядок выполнения практикума

ВНИМАНИЕ! Соблюдайте правила техники безопасности при работе со стендом и приборами как с электрическими установками !

Сетевое питание на стенд и питание на тестируемые схемы подавайте только после полного монтажа схемы и проверки монтажа преподавателем!

При выполнении практикума в лабораторном классе:

5.1.8.1 В счет часов самостоятельной работы студентов выполните следующее:

а) на занятии, предшествующем данному практикуму, получите от преподавателя вариант создаваемого конечного автомата;

б) изучите по основной и дополнительной литературе основы построения и принципы действия триггерных схем и ППЗУ;

в) проработайте методические указания к настоящему практикуму;

г) составьте диаграмму переходов заданного автомата. Задайте коды входных сигналов, внутренних состояний и выходных кодовых комбинаций произвольным образом. Ориентируясь на вышеприведенный пример построения автомата, составьте таблицы переходов автомата и таблицу прошивки ППЗУ. Начертите схему электрическую принципиальную автомата, используя приведенные в справочниках общепринятые для выполнения электрических схем обозначения ППЗУ и триггеров, источников питания, общих шин, клемм и проводников.

Для проверки функционирования автомата дополните составленную схему следующими устройствами:

- для задания сигналов на входы автомата используйте выходы четырехразрядного счетчика;

- для контроля состояния всех входных и выходных сигналов и внутренних состояний автомата применяйте светодиоды;

- для синхронизации работы тестируемого автомата используйте отдельный формирователь синхроимпульсов.

д) составьте одну из многих возможных таблиц переходов разработанного автомата, иллюстрирующую работу автомата.

- представьте преподавателю результаты разработки автомата, полученные при выполнении п.п. 5.1.8.1 г), 5.1.8.1 д), ответьте на контрольные вопросы и получите у преподавателя разрешение к проведению практикума;

- повторите методические указания к настоящему практикуму и ознакомьтесь с органами управления и индикации лицевой панели стенда;

- запишите информацию таблицы прошивки непосредственно в ППЗУ с помощью программатора (см. методические указания к практикуму № 6);

- вставьте в сокет стенда микросхемы. С целью проверки алгоритма работы автомата, проведите с помощью перемычек монтаж схемы, составленной при подготовке к работе. Проверьте внимательно монтаж схемы и представьте

его для проверки преподавателю или лаборанту. В разделе 6 указаний для справки, приведены обозначения элементов;

- проверьте алгоритм работы тестируемого автомата в соответствии с таблицей, составленной при подготовке к работе по п. 5.1.8.1 д), задавая поочередно на входы микросхемы выходные двоичные коды со счетчик стенда и наблюдая отклики на выходе схемы и внутренние состояния с помощью светодиодов. Сравните экспериментальную таблицу с составленной до проведения опыта;

- демонтируйте схему, аккуратно сложите все проводники и компоненты и вместе со стендом передайте лаборанту;

- подготовьте отчет по практикуму и представьте его для защиты и получения зачета.

5.1.9 Содержание отчета

В отчете должны быть приведены:

- теоретический материал в объеме, достаточном для успешной защиты выполненной практикума;

- разработанные схемы и составленные таблицы функционирования автомата;

- результаты исследования схем в виде таблиц, раскрывающих алгоритм работы микросхем;

- выводы по практикуму.

5.2 Практикум "Микропрограммный автомат"

Микропрограммные автоматы - это простейшие управляющие устройства, в которых используется принцип программного управления. По своей сущности микропрограммный автомат является конечным автоматом. Однако он отличается подходом к реализации комбинационной схемы, способом задания и некоторыми элементами поведения от простейших конечных автоматов классической модели Мили или Мура. Все входы комбинационной схемы микропрограммного автомата разбиваются на внутренние и внешние. Считается, что на входы подаются результаты проверок различных логических условий управления объектом. В соответствии с разделением входов на внутренние и внешние логические условия тоже могут быть внутренними и внешними. Внешние логические условия вырабатываются объектом, с которым взаимодействует автомат, а внутренние условия вырабатываются самим автоматом в соответствии с алгоритмом управления, который этот автомат реализует.

Микропрограммный автомат выполняет алгоритм, записанный в ПЗУ в виде некоторой программы, состоящей из последовательности примитивных операторов, которые разделяются на два основных вида. Первый вид операторов - это операторы условного перехода. Второй вид - это операторы, осуществляющие операции управления объектом.

Операторы управления объектом вырабатывают выходные сигналы микропрограммного автомата, которые непосредственно действуют на объект и осуществляют безусловный переход автомата к следующему по порядку адресу ПЗУ оператору.

Операторы условного перехода осуществляют условный переход автомата в заданную область программы. С помощью условных операторов возможно осуществление различных циклов и ветвлений в программе, реализующей заданный алгоритм.

Программу работы микропрограммного автомата задают либо в виде схемы алгоритма (СА), либо с помощью некоторого специального символического языка. Программы, записанные с помощью СА, однозначно могут быть преобразованы в коды для ПЗУ автомата. На рисунке 5.4 приведена схема микропрограммного автомата.

Автомат содержит:

- 1) ПЗУ, в котором хранится программа (ROM);
- 2) комбинационную схему, анализирующую логические условия (ЛП);
- 3) счетчик с параллельной записью, который, являясь счетчиком команд, осуществляет переход к очередной команде (ST).

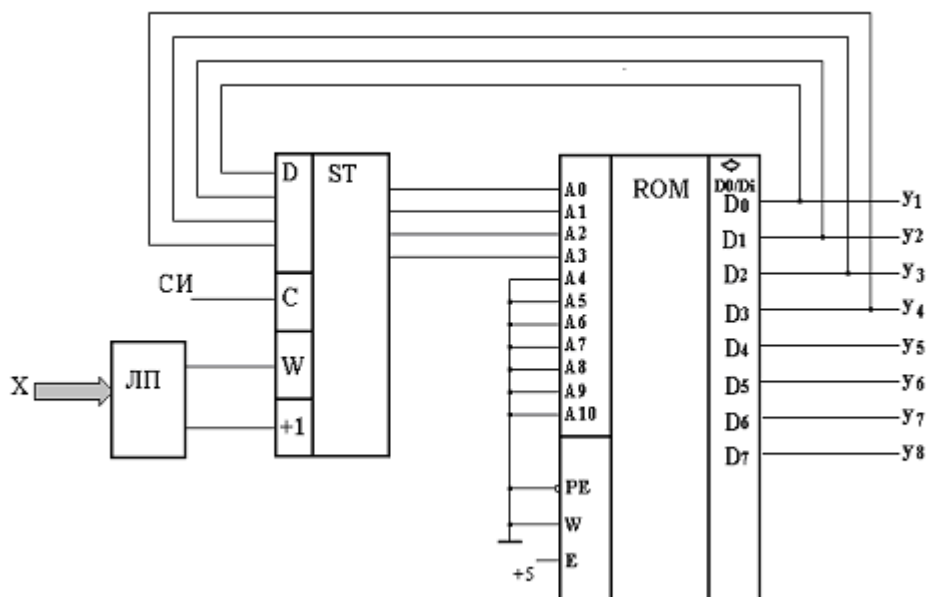
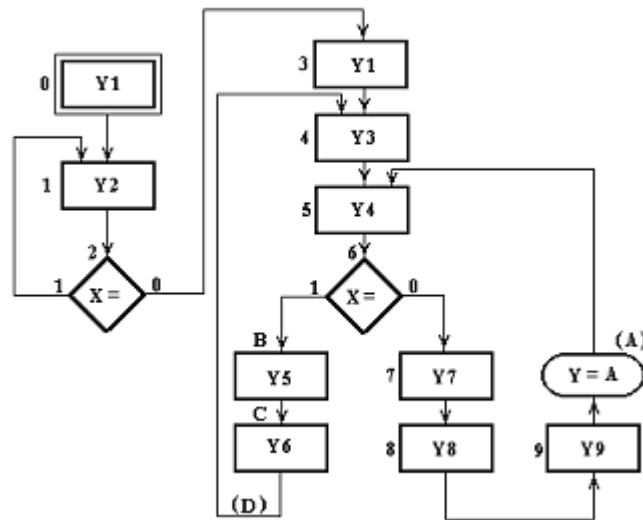


Рисунок 5.4 – Структурная схема микропрограммного автомата

5.2.1 Пример реализации микропрограммного автомата

Дано:

- 1 Схема алгоритма (СА) работы автомата, приведенная на рисунке 5.5.



0,1,2,3,4,5,6,7,8,9,B,C - операторы вывода сигналов (y_i) управления объектом (код 10);

2,6 - операторы перехода по условию X (оператор условного перехода код 11);

(A) - оператор безусловного перехода с одновременным выводом счетчика адреса (код 00);

(D) - оператор безусловного перехода (код 01).

Рисунок 5.5 - Схема алгоритма работы микропрограммного автомата

2 Выходные состояния автомата (сигналы управления объектом):

$y_1=0000$, $y_2=0001$, $y_3=1001$, $y_4=1100$, $y_5=1011$, $y_6=0101$, $y_7=0011$, $y_8=0110$, $y_9=1111$.

Задание:

Требуется построить микропрограммный автомат по схеме рисунка 5.4. без минимизации состояний и условных переходов.

Реализация:

1. Поставим в соответствие каждому оператору СА (рисунок 5.5) внутреннее состояние автомата, т.е. попросту пронумеруем команды программы. Будем считать, что номер команды совпадает с ее адресом в ПЗУ (в скобках указаны номера операторов безусловного перехода).

2. В СА используется четыре вида операторов: оператор вывода сигналов управления объектом, оператор перехода по условию X, оператор безусловного перехода и оператор безусловного перехода с одновременным выводом значения счетчика адреса ПЗУ на выходные шины автомата. Определим структуру операторов.

Каждый оператор должен содержать код операции (КОП) и операнд. Поскольку операторов четыре, то код операции может состоять из двух двоичных разрядов. Операндами всех операторов являются четырехразрядные двоичные

числа, следующие непосредственно за кодом операции в восьмиразрядном слове ПЗУ. Таким образом, код команды имеет следующий вид:

КОП	Операнд	* *
-----	---------	-----

где: ** - неиспользованные разряды.

Присвоим коды операций командам:

10уууу** - оператор вывода сигналов управления объектом;

11аааа** - оператор условного перехода;

00аааа** - оператор безусловного перехода с одновременным выводом содержимого счетчика адреса;

01аааа** - оператор безусловного перехода.

3 После определения кодов операций, зная тип используемого счетчика адреса, можно построить таблицу истинности и принципиальную схему анализатора логических условий, управляющего работой счетчика адреса. Режим счета счетчика устанавливается, если $W = 0$ и «+1»=1. Режим параллельной записи информации производится, если $W = 1$, «+1»=0. Поэтому таблица истинности анализатора логических условий (логического преобразователя ЛП) будет иметь вид, представленный в таблице 5.9:

Таблица 5.9– Таблица истинности анализатора логических сигналов

Условие	КОП		Состояние управления входов счетчика	
	К2	К1	W	+1
0	0	0	1	0
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

4. Окончательно формат команды имеет вид:

КОП		Операнд			
k2	k1	p4	p3	p2	p1

Разряд k1 может служить для сигнализации о том, что на выходах автомата установлены действительные значения. Для этого окончательная схема автомата (рисунок 5.6.) имеет дополнительный выход, сигнализирующий при $z = 1$

О появлении на выходах автомата действительных значений выходных сигналов.

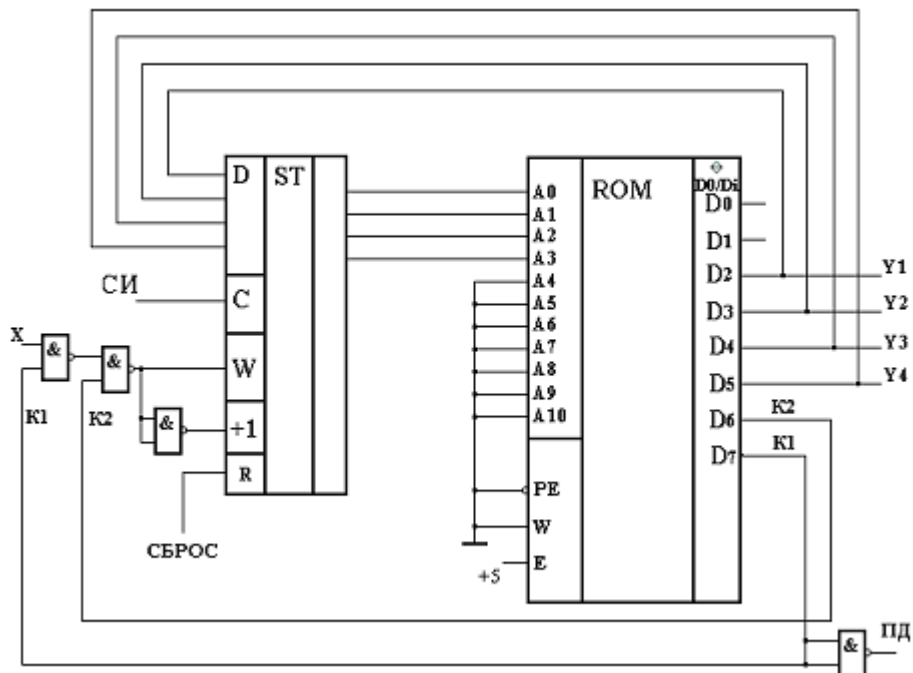


Рисунок 5.6 – Функциональная схема микропрограммного автомата 4. Согласно СА, используя результат предыдущего шага, запишем в кодах программу работы автомата в таблице 5.10.

Таблица 5.10 – Программа работы микропрограммного автомата

Адрес	КОП	Операнд	Комментарий
0	10	0000	Y1
1	10	0001	Y2
2	11	0001	A=1; X=1
3	10	0000	Y=1; X=0
4	10	1001	Y3
5	10	1100	Y4
6	11	1011	A=BH
7	10	0011	Y7
8	10	0110	Y8
9	10	1111	Y9
A	00	0101	A=5=Y
B	10	1011	Y5
C	10	0101	Y6
D	01	0100	A=4

5. Прошивка ППЗУ.

Заполняя, неиспользуемые два младших бита, в слове ПЗУ единицами запишем результаты в таблицу 5.11 в шестнадцатеричных кодах:

Таблица 5.11 – Адреса и данные команд, записанные в ПЗУ

Адрес	00	01	02	03	04	05	06	07	08	09	A	B	C	D	E	F
Операнд	83	87	C7	83	A7	B3	EF	8F	9B	BF	17	AF	97	53		

5.2.2 Контрольные вопросы

- 1 В чем отличие микропрограммного автомата от управляющего автомата с жесткой структурой?
- 2 Как работать со стендом?
- 3 Поясните принцип работы микропрограммного автомата;
- 4 Как организуются условные переходы в микропрограммном автомате?
- 5 Как организовать цикл?
- 6 Как организовать линейную программу управления?
- 7 Поясните устройство и работу микросхем K573РФ2, K555ИЕ10.

5.2.3 Задание для практикума

Необходимо, исходя из словесного описания алгоритма управления объектом, составить схему алгоритма. По полученной схеме необходимо в кодах написать программу работы микропрограммного автомата, имеющего структуру, показанную на рисунке 5.4. Микропрограммный автомат необходимо собрать на стенде, предварительно запрограммировав ППЗУ с помощью программатора. Результат продемонстрировать преподавателю.

5.2.4 Порядок выполнения практикума

- 1 При подготовке к работе необходимо:
 - а) изучить описание практикума и соответствующие разделы рабочей программы;
 - б) синтезировать требуемый автомат по заданию преподавателя;
 - в) ответить на контрольные вопросы;
- 2 При выполнении работы:
 - а) запрограммировать соответствующим образом ППЗУ;
 - б) собрать схему автомата на стенде и представить преподавателю; самостоятельно проследить по собранной схеме правильность функционирования автомата в соответствии с алгоритмом;
 - в) подготовить отчет.

5.2.5 Содержание отчета

- схемы, приведенные в описании работы;
- теоретический материал в объеме, достаточном для успешной защиты выполненной практикума;
- результаты исследования функционирования схем, которые собирались на стенде;
- выводы по практикуму.

5.2.6 Условно-графические и буквенно-цифровые обозначения ПЗУ и триггеров

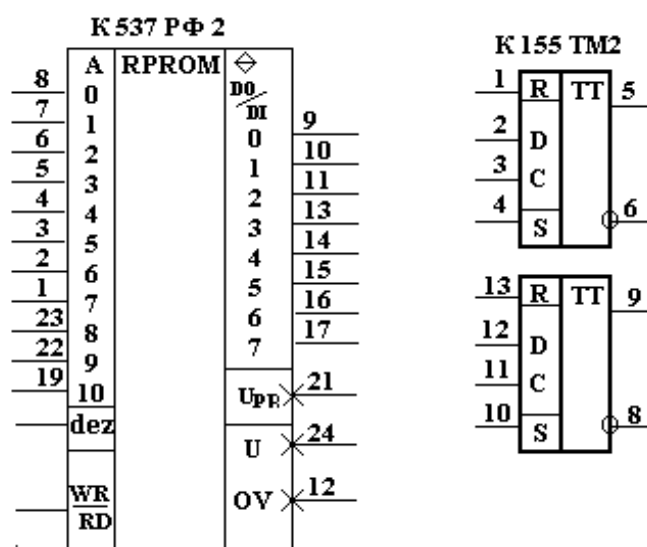


Рисунок 5.7 – Условно- графические и буквенно-цифровые обозначения ПЗУ и триггеров

6 Практикум "Цепи ввода данных и шины передачи данных"

Практикум проводится с целью изучения основных схемотехнических вариантов решения цепей ввода данных и шин межмодульного, межблочного и межсистемного обмена данными.

6.1 Практикум "Цепи ввода данных"

Целью практикума "Цепи ввода данных" является изучение схемотехнических приемов ввода данных с механических (клавиши, кнопки, переключатели) и "аналоговых" (операционные усилители, компараторы и др.) источников сигналов.

Ввод данных в различные цифровые устройства может осуществляться различными способами. Часто полагают, что наиболее простым является ввод с помощью каких-либо механически замыкаемых электрических контактов. Это могут быть контакты клавиатуры компьютера, контакты каких-либо переключателей, располагающихся на приборной панели, контакты реле и т.п. Простота организации такого ввода обычно связывается с тем, что логический элемент реагирует на сигналы электромеханического контакта, как только мы включим последний во входную цепь элемента, обеспечив необходимое электрическое согласование. Однако, эта простота кажущаяся. После замыкания и размыкания контактов механических переключателей возникает механическое явление "дребезг", которое характеризуется многократными, неконтролируемыми как по кратности, так и по длительности прерываниями электрической цепи. Это в свою очередь может привести к эффекту ввода ложных данных или вызвать нерабочие или аварийные состояния всего устройства. Поэтому для исключения влияния "дребезга" необходимо применять специальные меры. Схемы защиты, которыми пользуются в том или ином случае, могут быть разными в зависимости от типа контактов и в зависимости от типа входного логического элемента.

Для осуществления ввода в цифровую схему аналогового сигнала иногда достаточно этот аналоговый сигнал, минуя какие-либо стандартные аналого-цифровые преобразователи, подавать непосредственно на входы логических схем. Для этого необходимо бывает лишь обеспечить согласование сигналов по уровням напряжения и по мощности, т.е. обеспечить дополнительное усиление. В тех случаях, когда аналоговый сигнал изменяется медленно, то при прохождении уровнем сигнала логического порога неизбежные внешние электрические помехи могут вызвать явление электрического "дребезга" логического элемента. В таких случаях необходимо использовать специальные пороговые элементы, имеющие передаточные (вход-выход) характеристики с петлей гистерезиса.

6.1.1 Содержание практикума

Необходимо исследовать работу трех схем подключения электрической кнопки. В первой схеме используется размыкающе-замыкающая кнопка. Схема эксперимента приведена на рисунке 6.1. Полезный сигнал с кнопки может поступать на вход двоичного счетчика либо непосредственно, либо через RS-триггер (в зависимости от положения переключки). Счетчик служит для подсчета числа нажатий кнопки. Если сигнал, поступающий на вход счетчика, содержит паразитные импульсы "дребезга", то счетчик насчитает импульсов больше, чем было произведено нажатий. Таким образом, можно проверить эффективность схемы защиты от "дребезга". Схема рисунка 6.1 защищает от "дребезга", благодаря особенности схемы включения используемой кнопки, которая закрывается в следующем.

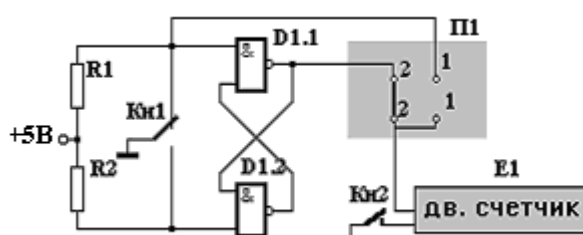


Рисунок 6.1 – Схема ввода данных с защитой от "дребезга"

При размыкании нормально замкнутого контакта начинается "дребезг". Однако, когда подвижный контакт кнопки удаляется на достаточное расстояние от размыкаемого контакта "дребезг" прекращается. Замыкаемый контакт кнопки в это время еще не достигнут. Некоторое время "дребезга" на кнопке нет и оба контакта кнопки разомкнуты. Затем подвижный контакт достигает замыкаемый контакт и первый же импульс "дребезга" замыкания второго контакта переключает RS-триггер. Последующие импульсы "дребезга" не оказывают уже никакого влияния на состояние триггера. При отпускании кнопки происходит обратное переключение аналогичным образом.

На рисунке 6.2 приведены две схемы защиты от "дребезга". С помощью переключки П1 кнопку Kn1 можно коммутировать уровнем сигнала либо непосредственно на счетчик числа нажатий, либо через схему подавления "дребезга". В данном случае проблема защиты от "дребезга" усложняется тем, что неясно, какой сигнал считать "дребезгом", а какой полезным.

Действительно, ни сам сигнал, ни способ его подачи не имеют признака, по которому можно было бы сделать это разделение. Остается использовать временной принцип, который заключается в том, что при "разумном" нажатии кнопки "дребезг" длится недолго и, что при замыкании кнопки в конце "дребезга", кнопка вырабатывает преимущественно сигнал замкнутого состояния, а в конце процесса размыкания преимущественно сигнал разомкнутого состояния.

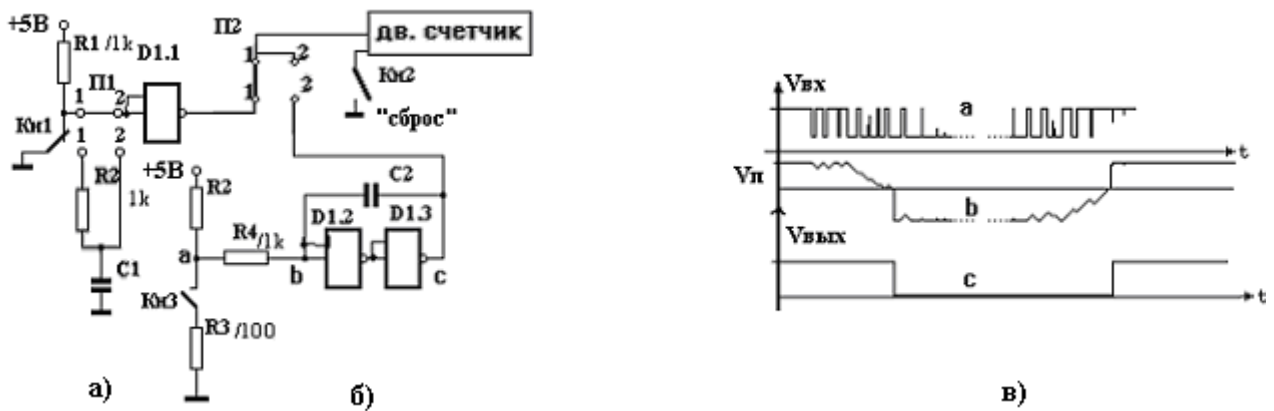


Рисунок 6.2 - Функциональные схемы ввода с защитой от "дребезга":

- а) с интегрирующей цепью (R2, C1, D1.1);
- б) с одновибратором (D1.2, D1.3, C2);
- в) временная диаграмма, поясняющая работу схемы с интегрирующей цепью.

В первой исследуемой схеме подавления "дребезга" используется интегрирующая цепь R2, C1 (емкостной фильтр низких частот). Благодаря этой цепи (рисунок 6.2 а), сигнал на выходе изменяет значение лишь тогда, когда по истечении некоторого заданного RC-цепочкой времени на выходе кнопки появляется соответственный достаточно устойчивый сигнал. На рисунке 6.2 в) показана временная диаграмма процесса, поясняющая работу схемы.

Во второй схеме используется одновибратор - пороговое устройство с положительной обратной связью, формирующее на выходе один только импульс определенной длительности и не реагирующее на последовательность импульсов "дребезга" (рисунок 6.2 б).

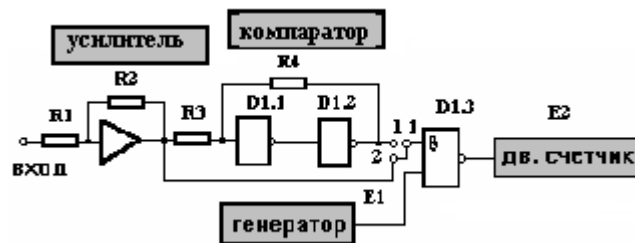


Рисунок 6.3 - Функциональные схемы ввода аналогового сигнала

На рисунке 6.3 приведена функциональная схема для непосредственного ввода в цифровую схему медленно изменяющегося аналогового сигнала. При этом имеется ввиду, что информация содержится в количестве и длительности фаз положительных и отрицательных полуволн аналогового сигнала в течении заданного времени. Эффективность схемы согласования можно оценить, определив экспериментально среднюю длительность положительных полуволн аналогового сигнала, параметры которого заранее известны, посредством счета счетчиком числа импульсов от генератора. Если сигнал с выхода усилителя по-

дать непосредственно на элемент 2И-НЕ, то счетчиком будет считаться с генератора в моменты действия положительных полуволн аналогового сигнала разное число импульсов из-за действия помех. От "дребезга", вызванного помехами, можно избавиться, если сигнал подавать через компаратор с гистерезисом по порогу срабатывания на элементах D1.1 и D1.2 (триггер Шмитта).

6.1.2 Порядок проведения практикума

Необходимое оборудование: лабораторный стенд "Схемотехника цепей ввода цепей и шин данных интерфейсов", осциллограф, частотомер;

1) Вставьте микросхему 155ЛА8 в сокету стенда. Соберите схему рисунок 6.1 (переключатель П1 в положение 1-1. Кнопка будет подключена к счетчику).

2) Проведите цикл измерений в следующей последовательности:

а) сбросьте содержание счетчика нажатием кнопки КН 2 ("Сброс") в "0";

б) нажимайте с интервалом времени 2-4с кнопку КН1 ("Ввод"), считая число нажатий кнопки. Одновременно следите за показаниями двоичного счетчика после каждого нажатия кнопки КН1. Доведите показания счетчика до 10-15;

в) запишите в таблицу число нажатий кнопки (m_i) и показания счетчика (n_i); кнопкой КН2 сбросьте содержимое счетчика в "0".

3) Повторите измерения в соответствии с п.2 не менее пяти раз и составьте таблицу, отразив в ней суммарное число нажатий кнопки КН1 и показаний счетчика. Вычислите отношение:

$$\gamma_1 = \sum m_i / \sum n_i,$$

где: $\sum m_i$ - суммарное число нажатий кнопки;

$\sum n_i$ -сумма показаний счетчика.

4) Соберите схему рисунка 6.1. с R-S триггером (переключатель П1 в положении 2-2, кнопка КН1 подключена к RS- триггеру). Проведите измерения в соответствии с п.п. 2, 3.

5) Найдите отношение γ_2 для измерений по п.4. Сравните γ_1 и γ_2 и объясните разницу в результатах.

6) Соберите схему рисунка 6.2 а) (переключатель П1 и П2 в положениях соответственно 1-2 и 1-1). Проведите измерения согласно п.п. 2, 3. и определите γ_1 .

7) Соберите схему рисунка 6.2 а) с интегрирующей цепочкой (фильтром нижних частот), замкнув двумя переключателями контакты 1-1 и 2-2. Повторите измерения по п.п. 2, 3 и определите γ_2 . Изменяя параметры RC-цепочки добейтесь, чтобы γ_1 и γ_2 были равны.

8) Соберите схему рисунка 6.2б) с одновибратором, переключив переключатель П2 из положения 1-1 в положение 2-2. Повторите измерения по п.п. 2, 3 и определите γ_2 .Сравните также γ_1 (п. 6) и γ_2 .

9) Составьте отчет.

6.2 Практикум "Шины передачи данных"

Целью практикума является изучение схемотехнических приемов согласования маломощных выходных цепей БИС с шинами данных с учетом физических свойств длинных линий.

При передаче цифровых данных с достаточно высокой скоростью и на относительно большие расстояния возникают специфические проблемы. На форму высокочастотного сигнала при этом существенно влияют: емкостной характер нагрузки вентиля, синфазные перекрестные помехи и эффекты "длинной линии" (отражения от несогласованной нагрузки). Некоторые из перечисленных проблем могут возникать даже на отдельной печатной плате. Для обеспечения надежной передачи цифровых сигналов обычно применяют специальные методы и соответствующие интегральные схемы.

Действиям помех наиболее подвержен маломощный сигнал. Особенно, если он передается на значительное расстояние. Источниками помех могут являться как внешнее электромагнитное излучение, так и внутренние переходные процессы в системе. Чтобы уверенно выделять полезный сигнал среди помех необходимо, прежде всего, обеспечить уровень сигнала существенно превосходящий средний уровень помех. Для защиты от электромагнитных помех при передаче сигналов применяют также "витые пары" или экранированный кабель для прокладки шин. Шины, выполненные таким образом, обладают повышенной емкостью. Емкостной характер нагрузки (при сохранении высокой скорости передачи данных) требует в свою очередь повышенной мощности выходных вентилях. Работа же мощных и быстродействующих вентилях сопряжена с большими импульсными токами при переключениях. Это ведет к кратковременным выбросам напряжения в цепях питания этих элементов. Таким образом, выходные вентиля, работающие на шины, становятся сами мощными источниками помех, распространяющихся как по цепям шин передачи данных, так и внутрь системы по цепям питания. Избавиться от этих помех крайне сложно.

Длинные шины и сами по себе могут стать причиной искажения сигнала. Это связано с эффектом "длинных линий", который приводит к тому, что несогласованная линия отражает высокочастотный сигнал от концов шины (и от других неоднородностей) и сигнал многократно накладывается сам на себя. В результате чего искажается форма сигнала.

Для того, чтобы избежать перечисленных неприятностей шинную схемотехнику организуют специальным образом. Для формирования выходного сигнала используют специальные шинные формирователи - мощные ключи, способные в целях согласования по волновому сопротивлению и для быстрого перезаряда емкостной нагрузки работать на низкоомные цепи. Во входных цепях принимающей стороны используют обычно триггеры Шмитта. Для компенса-

ции помех, распространяющихся вдоль шин, часто используют дифференциальные структуры и токовые петли.

Рассмотрим, к примеру, шину передачи данных стандарта RS-232C, который является наиболее подходящим при относительно медленной передаче сигналов (порядка сотен и тысяч бит в секунду, рисунок 6.4). Этот стандарт определяет уровни сигналов обеих полярностей. Выходной формирователь согласно стандарту должен иметь двухполярное питание.

Входные цепи должны иметь гистерезис. Для этих целей имеются стандартные микросхемы: 1488 - выходной формирователь и 8Т16 - входной формирователь с триггером Шмитта. В этом случае при емкостной нагрузке линии не более 330 пФ фронты нарастания и спада импульсов обеспечиваются на уровне менее 1 мкс.

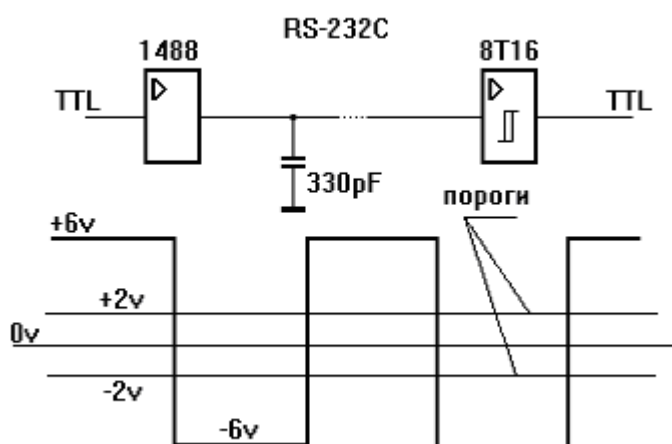


Рисунок 6.4 – Шина стандарта RS – 232C и временная диаграмма сигналов шины

6.2.1 Содержание практикума

Необходимо исследовать характеристики трех наиболее распространенных схем передачи цифровых данных, приведенных на рисунках 6.5, 6.6, 6.7: коэффициенты передачи линий, искажения фронтов, спадов и вершин входного и выходного сигналов.

Для работы с линиями средней длины при достаточно высоком быстродействии применяют несимметричные схемы с ТТЛ вентилями (рисунок 6.5).

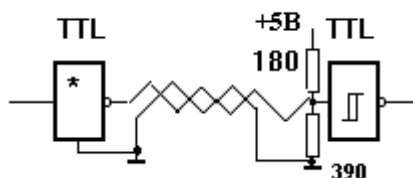


Рисунок 6.5 – Несимметричная линия с ТТЛ вентилями

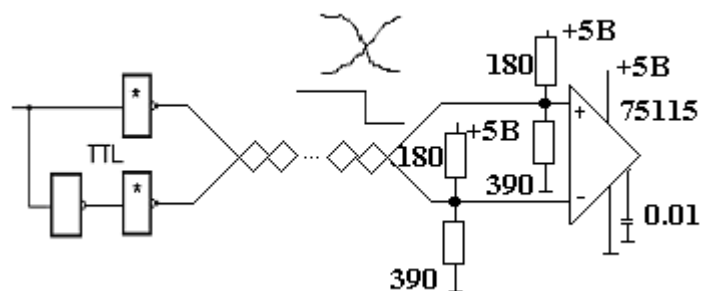


Рисунок 6.6 – Симметричная линия с дифференциальным приемником

Схема, приведенная на рисунке 6.6, отличается очень высокой помехоустойчивостью. Помехоустойчивость достигается, благодаря передаче парафазного сигнала по витой паре в сочетании с дифференциальным приемником. Схема обеспечивает высокую степень подавления синфазных помех и хорошо восстанавливает логические уровни сигналов, искаженные при передаче по линии связи. Форма сигналов, показанных на рисунке, позволяет понять, за счет чего обеспечивается относительно неискаженная передача. Если в качестве выходных формирователей использовать коммутируемые токовые вентили (рисунок 6.7), то получится шина "токовая петля".

Данная схема использует симметричный коаксиальный кабель или низкоомную витую пару. При импедансе 50 Ом такая "токовая петля" обеспечивает скорость передач 1 Мбит в 1 с на расстояние до 500 м или 10 Мбит/с на расстояние до 100 м.

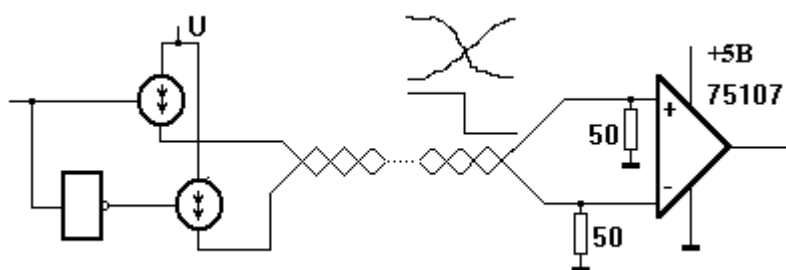


Рисунок 6.7 – Линия типа "токовая петля"

6.2.2 Выполнение практикума

Необходимое оборудование: лабораторный стенд "Схемотехника интерфейсов", осциллограф, частотомер, омметр. Проведите цикл измерений в следующей последовательности:

1) подключите осциллограф к выходу "Г" генератора стенда и измерьте основные параметры выходных импульсов генератора: амплитуду, задний и передний фронты, спад вершины импульса. Зарисуйте осциллограмму импульсов генератора. Подключите к генератору длинную линию;

2) измерьте волновое сопротивление длинной линии, а также параметры входных и выходных импульсов на линии и ее коэффициент передачи. Для это-

го соберите на стенде схему рисунка 6.8, предварительно установив с помощью омметра сопротивление на переменном резисторе R2 равным 200-300 Ом;

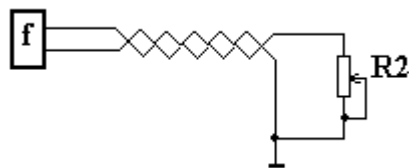


Рисунок 6.8 – Схема измерения волнового сопротивления длинной линии, согласованной на конце

3) подключите осциллограф к переменному резистору R2 и, плавным изменением сопротивления резистора R2, добейтесь на выходе линии минимальных искажений временных и амплитудных параметров импульсов, измерьте осциллографом эти параметры и зарисуйте осциллограмму. Также измерьте параметры импульсов на входе длинной линии (на выходе генератора "f"). Отключите R2 от линии и измерьте его сопротивление, значение которого будет равно волновому сопротивлению линии. Вычислите коэффициент передачи линии по формуле:

$$K_{л} = A2 / A1 ,$$

где: A2 и A1 -амплитуды импульсов соответственно на выходе и входе линии;

4) измерьте волновое сопротивление длинной линии и ее коэффициент передачи в случае согласования линии на входе и выходе. С этой целью соберите схему рисунка 6.9 и повторите измерения по п.3. При этом добивайтесь минимальных искажений входных и выходных импульсов на линии плавным изменением как R2, так и R1;

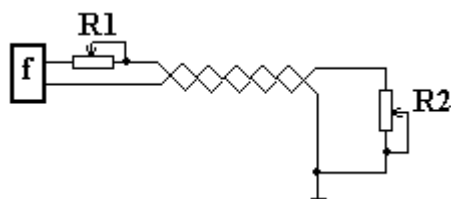


Рисунок 6.9 – Схема измерения волнового сопротивления длинной линии, согласованной в начале и конце линии

5) измерьте осциллографом параметры входных и выходных импульсов на линии, разомкнутой на конце, отключив резистор R2 в схеме рисунка 6.9.

6) измерьте осциллографом параметры входных и выходных импульсов на короткозамкнутой линии, закоротив перемычкой резистор R2 в схеме рисунка 6.9.

7) занесите результаты измерений по п.п. 1, 3, 4, 5, 6 в таблицу. Сравните параметры входных и выходных импульсов, измеренных по п.п. 3, 4, 5, 6 с параметрами импульсов с генератора, измеренных по п. 1, а также сравните коэффициенты передачи линии для всех схем включения. Объясните причины искажений формы импульсов и затухания амплитуды импульсов в линии.

8) измерьте осциллографом параметры входных и выходных импульсов и коэффициенты передачи линий, собирая последовательно схемы рисунков 6.5, 6.6, 6.7 и подавая на входы каждой из схем импульсы с генератора "f". Занесите результаты измерений в таблицу. Сравните параметры входных и выходных импульсов, измеренных в схемах рисунков 6.5, 6.6, 6.7 с параметрами импульсов с генератора, измеренных по п.1, а также сравните коэффициенты передачи линий для всех схем включения. Объясните причины искажений формы импульсов и затухания амплитуды импульсов в линии;

9) оформите отчет.

6.2.3 Контрольные вопросы

1 Чем обусловлен "дребезг"?

2 Раскройте понятие "электрическая помеха". Как влияет помеха на достоверность ввода информации?

3 Поясните работу RS- триггера и составьте таблицу истинности триггера?

4 Объясните работу антидребезговых схем: с RS- триггером, с RC-цепочкой, с пороговым устройством.

5 Дайте понятие "длинной линии" и определение волнового сопротивления линии, коэффициента передачи.

6 Назовите причины искажений сигналов в длинной линии.

7 Какие существуют способы согласования линий передачи данных?

8 Объясните работу схем передачи данных рисунков 6.5, 6.6, 6.7.

7 Практикум "Аналого-цифровые преобразователи и цифро-аналоговые преобразователи"

Практикум предназначен для изучения основных схемотехнических решений АЦП и ЦАП в микроэлектронном варианте исполнения и получения практических навыков работы с этими устройствами. В настоящее время АЦП и ЦАП широко используются в системах обработки данных и автоматизированных системах управления для преобразования аналоговых сигналов в цифровую форму и наоборот из цифровой формы в аналоговую.

В разделе приведены методики выполнения практикумов:

- "Цифро-аналоговые преобразователи";
- "Аналого-цифровые преобразователи".

7.1 Практикум "Цифро-аналоговые преобразователи"

7.1.1 Структура и алгоритм работы ЦАП

Целью практикума является:

- изучение состава и алгоритмов работы нескольких разновидностей ЦАП;
- детальное изучение и работа с ЦАП типа 572 ПА1;
- сборка электрической схемы;
- получение временных диаграмм, поясняющих алгоритм работы ЦАП;
- получение передаточной характеристики ЦАП в координатах двоичный цифровой код- аналог.

ЦАП представляет собой устройство, преобразующее информацию, выводимую с цифровых систем из цифрового вида в аналоговые уровни или другие параметры аналоговых сигналов. ЦАП сопрягает цифровую систему с датчиками, измерительными приборами, управляющими или исполнительными устройствами сложных многопараметровых объектов управления или систем сбора и обработки информации.

К настоящему времени разработаны и широко применяются несколько разновидностей ЦАП, но в основе работы каждого из них заложен принцип суммирования токов с разрядных генераторов тока с весовыми коэффициентами, пропорциональными цифровому коду, поступающему на вход ЦАП. Рассмотрим один из базовых вариантов структурной схемы ЦАП, приведенный на рисунке 7.1 и поясняющий принцип суммирования токов.

Для построения схемы предусмотрены источник опорного напряжения (ИОН), электронные ключи Кл1-Клп, управляемые по сигналам цифрового кода A_1-A_n , цепочка резисторов с двоично - взвешенными номиналами ($R, 2R, 4R, \dots, 2^{N-1}R$) и суммирующий усилитель на основе операционного усилителя (ОУ). Допустим, что пришел цифровой двоичный код, в котором в старшем разряде "1", а в остальных разрядах "0", т.е. код 100...000. Тогда ключ Клп будет в замкнутом состоянии и на вход усилителя будет поступать ток:

$$I_N = (U_{оп} / R),$$

где: $U_{\text{оп}}$ - опорное напряжение ИОНа.

На выходе суммирующего усилителя появится напряжение:

$$U_N = I_N(R/2) = (U_{\text{оп}}/R) (R/2) = U_{\text{оп}} / 2$$

Представим теперь, что появился код, в котором все разряды кода равны "0", кроме сигнала A_1 . В этом случае коду 000...001 будет соответствовать ток и напряжение:

$$I_1 = U_{\text{оп}} / 2^{N-1} R ,$$

$$U_1 = I_1 (R/2) = (U_{\text{оп}} / 2^{N-1} R) (R/2) = U_{\text{оп}} / 2^N ,$$

т.е. напряжение на выходе усилителя будет равно весу младшего значащего разряда (МЗР) ЦАП.

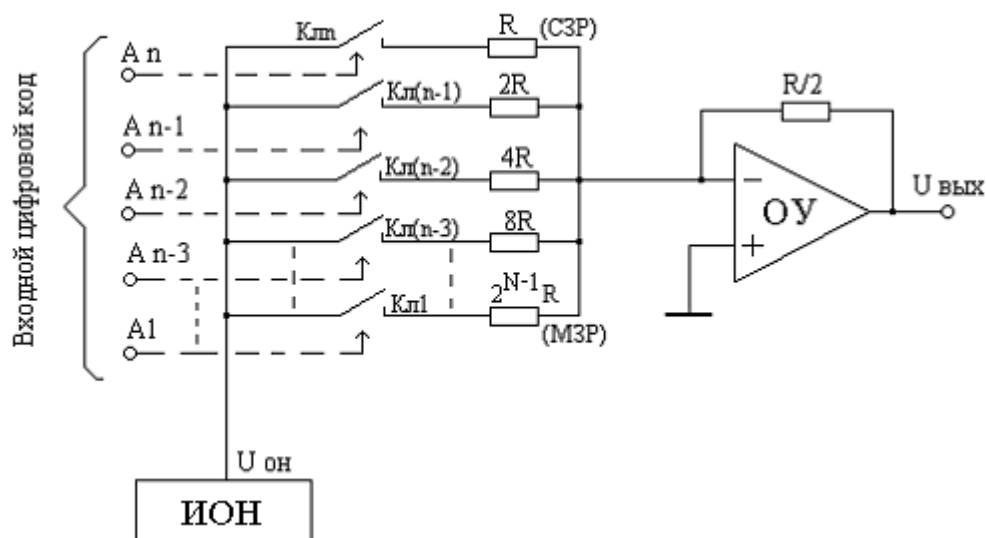


Рисунок 7.1 – Схема, поясняющая принцип работы ЦАП с цепочкой резисторов с двоично - взвешанными номиналами

Следовательно, в зависимости от кодовой комбинации на входе ЦАП замыкаются соответствующие ключи и на вход суммирующего усилителя поступают соответствующие разрядные токи, вызывающие формирование на выходе усилителя (выходе ЦАП) напряжения, пропорционального входному коду.

Существенным недостатком ЦАП с двоично - взвешанными номиналами резисторов является необходимость получения широкого диапазона тщательно согласованных номиналов резисторов от R до $2^{N-1}R$, что усложняет технологию производства таких ЦАП в микроэлектронном исполнении.

Значительное распространение получили ЦАП, построенные с последовательно-параллельной цепочкой резисторов $R-2R$ (рисунок 7.2).

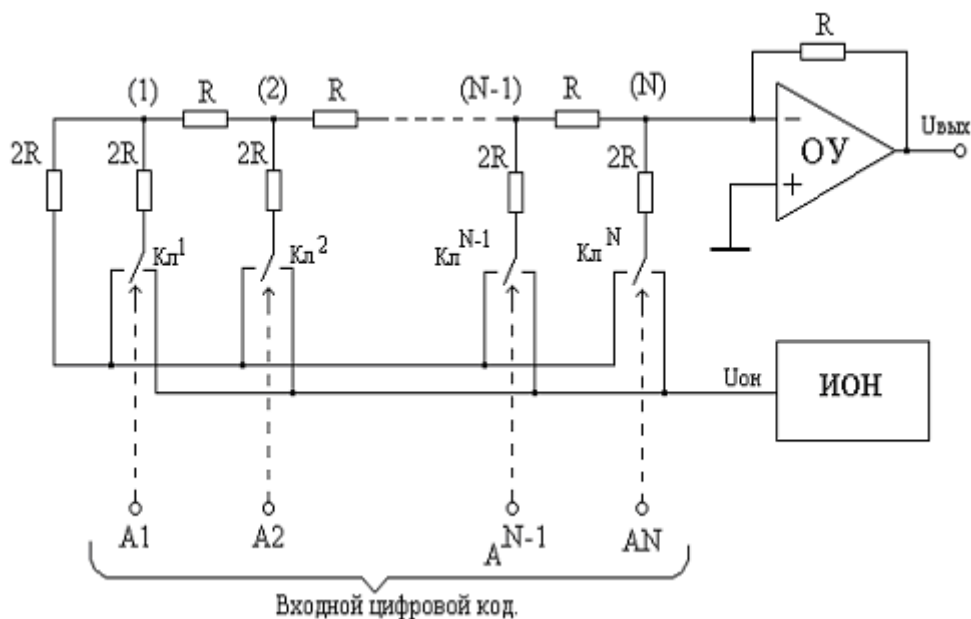


Рисунок 7.2 – Схема, поясняющая принцип работы ЦАП с цепочкой резисторов R-2R

Замечательным свойством цепочки R-2R является то, что в любом из узлов цепочки выходное сопротивление равно R. Например, в узле (1) выходное сопротивление определяется параллельным сопротивлением 2^x резисторов с номиналами 2R, т.е. равно R. В узле (2) выходное сопротивление также будет равно значению R, т.к.

$$[(2R \parallel 2R) + R] \parallel 2R = R$$

Это свойство цепочки R-2R позволяет задавать разрядные токи на входе суммирующего усилителя в масштабе, пропорциональном значению R и значению цифрового кода. Действительно, если использовать электронные ключи КлN на два положения, которые позволяют подключать резисторы 2R каждого узла (разряда) или к общей шине или к опорному напряжению $U_{оп}$, то в случае кода 100...000, когда включен ключ КлN старшего разряда, а остальные ключи находятся в положении "общая шина", ток на входе будет равен:

$$I_N = U_{оп} / 2R,$$

$$U_N = (U_{оп} / 2R) R = U_{оп} / 2.$$

Для кода 010...000 будет работать только ключ Кл(N-1) и задавать ток:

$$I_{N-1} = U_{оп} / 4R,$$

$$U_{N-1} = (U_{оп} / 4R) R = U_{оп} / 4.$$

Младший значащий разряд определяется кодом 000...001, который задает соответствующие ток и напряжение:

$$I_1 = U_{\text{оп}} / 2^{N-1} R,$$

$$U_1 = U_{\text{оп}} / 2^N.$$

Таким образом, для любой из 2^N кодовых комбинаций можно найти входной ток суммирующего усилителя и выходное напряжение по формуле:

$$I_{\text{ВХ}} = A U_{\text{оп}} / 2^N R,$$

$$U_{\text{ВЫХ}} = A U_{\text{оп}} / 2^N,$$

где: A - входной код ЦАП.

Преимуществом применения в ЦАП цепочки $R-2R$ можно отметить легко поддающуюся точную подгонку номиналов резисторов, т.к. номиналы отличаются только в 2 раза. Однако, в ЦАП, построенных с применением цепочки $R-2R$, требуется в два раза больше резисторов и необходимы ключи на два положения, что также усложняет технологию производства этих ЦАП.

К основным параметрам ЦАП относятся:

- 1) разрешающая способность - число уровней квантования выходного сигнала (число двоичных разрядов входного кода).
- 2) интегральная нелинейность - отражает степень отклонения характеристики преобразования от идеальной характеристики (в частности от прямой линии).
- 3) время установления - время, требуемое для установления выходного сигнала ЦАП в пределах $\pm 1/2$ МЗР для заданного изменения входного кода, например, при его изменении от нуля до полного значения шкалы.

В качестве примера рассмотрим структурную схему промышленного ЦАП типа К572ПА1, приведенного на рисунке 7.3.

Десятиразрядный ЦАП К572ПА1 содержит внешний источник опорного напряжения ИОН, ряд $R-2R$ резисторов, двунаправленные ключи на МОП-транзисторах n -типа VT1-VT2, усилители - инверторы УИ для приема кодовых сигналов и выработки управляющих напряжений на ключи Кл1-Кл10, внешний суммирующий операционный усилитель ОУ. Принцип действия описываемого ЦАП аналогичен принципу действия ЦАП, приведенного на рисунке 7.2.

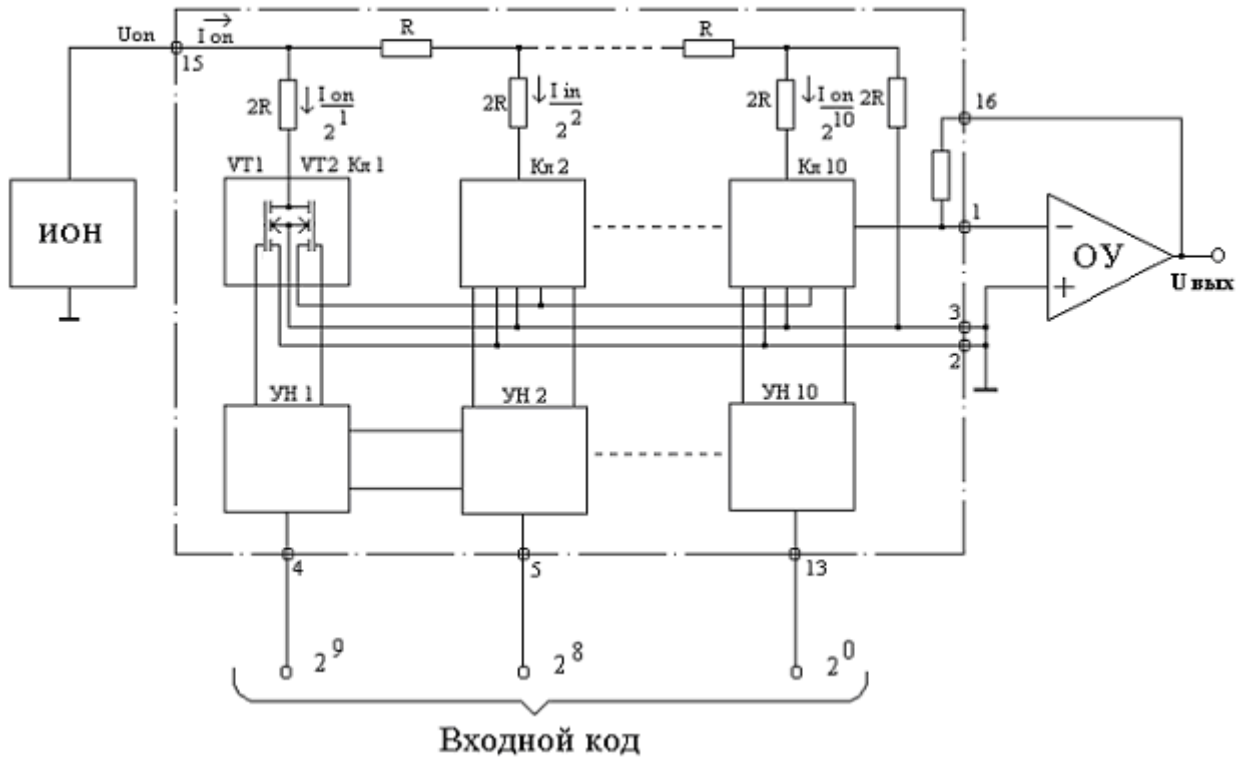


Рисунок 7.3 – Функциональная электрическая схема ЦАП типа К572ПА1 (А-Г)

Условное – графическое обозначение ЦАП в принципиальных электрических схемах представлено на рисунке 7.4.

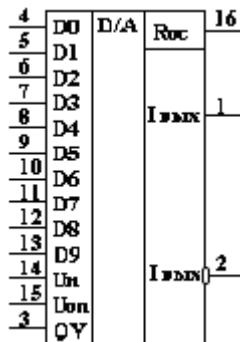


Рисунок 7.4 – Условно – графическое обозначение ЦАП

Назначение выводов в обозначении:

- D0-D9 - входы для подачи цифрового кода;
- U_п - напряжение питания;
- U_{оп} - опорное напряжение;
- ОУ - корпус (общая шина);
- R_{ос} - вход подключения сигнала обратной связи;
- I_{вых} - выходной ток ЦАП;
- I_{вых} - общая шина выходного тока.

Основные параметры ЦАП 572ПА1 следующие:

- цена (вес) МЗР - $10,24 \text{ В} / 2^{10} = 10 \text{ мВ}$;
- интегральная нелинейность характеристики - $\pm 0,1\%$ от полной шкалы;
- время установления выходного тока - не более 5 мкс.

7.1.2 Порядок выполнения практикума

1) Оборудование: лабораторный стенд, осциллограф, цифровой вольтметр.

2) Включите в сеть вилку лабораторного стенда в сеть, заземлите измерительные приборы и подключите их также к сети.

3) Установите тумблер "АЦП-ЦАП" в положение "ЦАП", тумблер "ПРЕОБРАЗОВАНИЕ" в положение "РУЧНОЕ", тумблер ИОНа "ЦЕНА МЛАДШЕГО РАЗРЯДА" в положение "10 мВ" или "5мВ".

4) Подключите цифровой вольтметр к гнезду " $U_{\text{ВЫХ}}$ ЦАП".

5) Включите сетевые тумблеры измерительных приборов и стенда в положение "Вкл". На стенде должен загореться индикатор "СЕТЬ".

6) Нажмите кнопку стенда "СБРОС" и запишите показания цифрового вольтметра, измеряющего выходное напряжение на выходе ЦАП. Последовательно записывайте кодовые комбинации в регистр последовательных приближений РПП в соответствии с табл.1 посредством кнопок "РУЧНОЕ" и "1/0". Для записи "1" достаточно нажать на кнопку "РУЧНОЕ" при отжатой кнопке "1/0", для записи "0" необходимо сначала нажать на кнопку "1/0" и, не отпуская ее, нажать на кнопку "РУЧНОЕ". Запись продолжайте до момента загорания светодиода "КОНЕЦ ПРЕОБРАЗОВАНИЯ- ЗАПИСИ". Для каждой кодовой комбинации считывайте показания цифрового вольтметра согласно таблице 1.

Таблица 7.1 – Передаточная характеристика ЦАП

Обозначения кодовой комбинации	Кодовые комбинации, $A_{\text{ВХ}}$	Показания цифрового вольтметра, $U_{\text{ВЫХ}}, \text{В}$
A1= A_{MIN}	0000000000	$U_{\text{ВЫХ}1} = U_{\text{ВЫХ MIN}}$
A2	0000000001	$U_{\text{ВЫХ}2}$
A3	0000000010	$U_{\text{ВЫХ}3}$
A4	0000000100	$U_{\text{ВЫХ}4}$
A5	0000001000	$U_{\text{ВЫХ}5}$
A6	0000010000	$U_{\text{ВЫХ}6}$
A7	0000100000	$U_{\text{ВЫХ}7}$
A8	0001000000	$U_{\text{ВЫХ}8}$
A9	0010000000	$U_{\text{ВЫХ}9}$
A10	0100000000	$U_{\text{ВЫХ}10}$
A11	1000000000	$U_{\text{ВЫХ}11}$
A12= A_{MAX}	1111111111	$U_{\text{ВЫХ}12} = U_{\text{ВЫХ MAX}}$

7) Постройте передаточную характеристику ЦАП в двойном логарифмическом масштабе в виде графика функции:

$$\lg (U_{\text{ВЫХ}}/U_{\text{ВЫХ MIN}}) = f (\lg A_{\text{ВХ}}/A_{\text{MIN}})$$

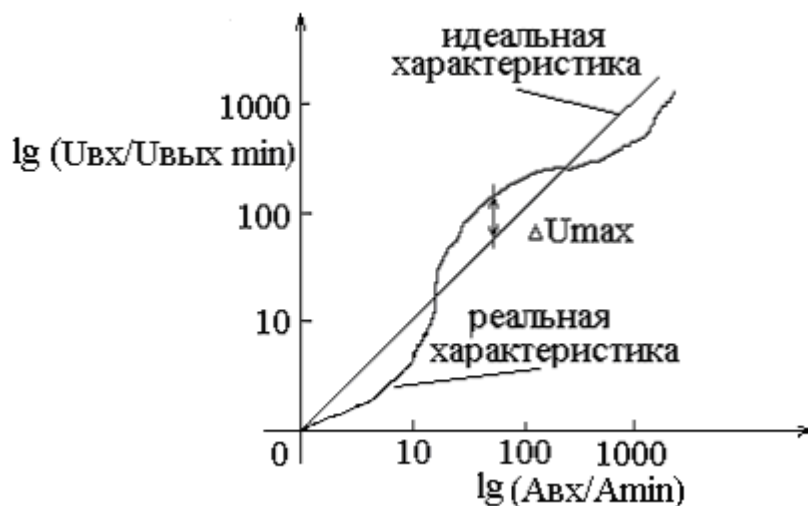


Рисунок 7.5 – Зависимость выходного напряжения ЦАП от входного кода в двойном логарифмическом масштабе

8) Определите для ЦАП цену младшего значащего разряда (МЗР) по формуле:

$$\text{МЗР} = (U_{\text{ВЫХ MAX}} - U_{\text{ВЫХ MIN}}) / (2^{10} - 2^0).$$

9) Определите интегральную нелинейность ЦАП по формуле:

$$L_i = |\Delta U_{\text{MAX}}| / U_{\text{ВЫХ MAX}},$$

где: $|\Delta U_{\text{MAX}}|$ - максимальное отклонение реальной передаточной характеристики от идеальной.

7.1.3 Контрольные вопросы к практикуму

- 1 На каком принципе основано построение ЦАП?
- 2 Поясните принцип действия ЦАП рисунке 7.1.
- 3 Каким отличительным свойством обладает цепочка резисторов R - 2R?
- 4 Почему в ЦАП используются высокостабильные источники питания?
- 5 Поясните принцип действия ЦАП на рисунке 7.2.
- 6 Перечислите основные параметры ЦАП и дайте их определение. Какие параметры имеет промышленный ЦАП типа 572 ПА1?

7.2 Практикум "Аналого-цифровые преобразователи"

Целью практикума является:

- изучение состава и алгоритмов работы нескольких разновидностей АЦП;
- детальное изучение и работа с АЦП поразрядного уравнивания;
- получение временных диаграмм, поясняющих алгоритм работы АЦП;
- получение статистических распределений (спектров) случайных и детерминированных сигналов;
- вычисление статистических параметров спектров амплитуд случайных сигналов.

7.2.1 Структурные схемы и принципы действия АЦП

7.2.1.1 АЦП представляют собой устройства, преобразующие амплитуду (уровни) или другие параметры аналоговых сигналов различной природы в цифровой вид. "Аналого-цифровые преобразователи" позволяют вводить информацию, содержащуюся в массиве аналоговых сигналов, поступающих от датчиков, измерительных приборов и других устройств, в цифровые вычислительные или управляющие устройства, блоки и системы, в которых производится обработка цифровой информации.

К настоящему времени разработаны и широко применяются несколько основных разновидностей АЦП:

- АЦП двойного интегрирования;
- АЦП последовательного счета;
- АЦП поразрядного уравнивания (последовательного приближения);
- АЦП параллельного действия.

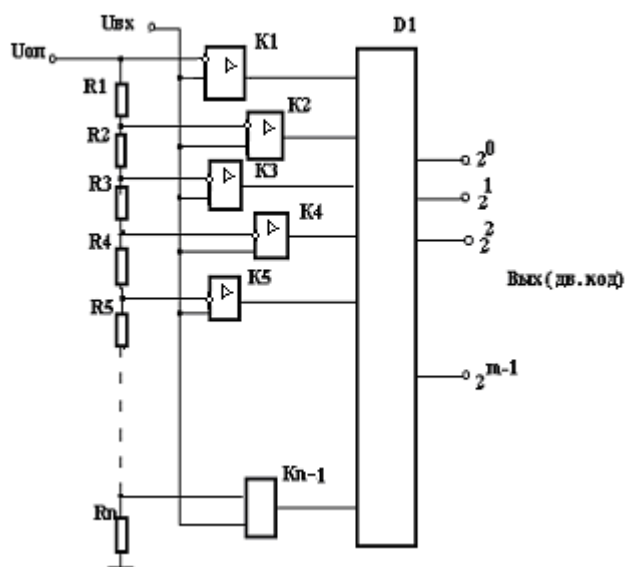
Основными параметрами преобразователей являются: динамический диапазон входных сигналов, передаточная характеристика преобразования, число уровней квантования, цена младшего значащего разряда (МЗР) преобразования (ширина канала), быстродействие, погрешности преобразования (дифференциальная и интегральная нелинейности преобразования).

7.2.1.2 Из всех видов АЦП наиболее простыми по принципу действия, но и наиболее сложными по конструктивной и технологической выполнимости являются АЦП параллельного действия.

На рисунке 7.6 представлена структурная схема АЦП параллельного действия, который содержит: источник опорного напряжения ($U_{оп}$), делитель опорного напряжения (R_1-R_n), n компараторов (K_1-K_n) равное числу уровней квантования, шифратор унитарного кода в двоичный код (D_1). Каждый компаратор имеет входной дифференциальный каскад с двумя входами: инвертирующим и неинвертирующим. АЦП параллельного действия работает следующим образом. Делитель напряжений задает ряд опорных напряжений на всех, например, инвертирующих входах компараторов. Опорное напряжение на любом из компараторов определяется из выражения:

$$U_n = (U_{оп} / N) \cdot n ,$$

где: N - число уровней квантования АЦП;
 n - номер компаратора (номер канала квантования);
 $U_{оп} / N$ - ширина канала (цена младшего разряда АЦП).



R_n – резисторы прецизионного делителя;
 K_n – компараторы уровня сигналов;
 $D1$ – шифратор унитарного кода в двоичный

Рисунок 7.6 – Структурная схема АЦП параллельного действия

Входное преобразуемое напряжение $U_{вх}$ поступает на все неинвертирующие входы компараторы. По сигналу "Строб", поступающего с устройства управления, входное напряжение сравнивается каждым компаратором с опорным напряжением. Компараторы выдают на выходе результат сравнения в виде "0" или "1" в зависимости от знака разности между опорным и входным напряжениями на их двух входах. После окончания сравнения кодовая комбинация с компараторов в виде унитарного кода поступает на шифратор, который на выходе выдает двоичный код уровня входного сигнала. Если для преобразователя известна цена младшего разряда (ЦМР), то величина уровня входного сигнала определяется произведением ЦМР и десятичного выходного кода преобразователя.

АЦП параллельного действия обладают самым высоким быстродействием из всех видов преобразователей. Время преобразования у современных устройств такого вида составляет величину 5-10 нс. Эти АЦП отличаются сравнительно небольшим числом уровней квантования (6-8 и редко 9-10 двоичных разрядов) и средней величиной погрешности преобразования (интегральная нелинейность не менее (1-i) МЗР). Следует отметить также технологическую

сложность производства АЦП этого вида из-за большого числа элементов каждого вида, примерно равному числу уровней квантования.

7.2.1.3 Принцип действия АЦП с двукратным интегрированием (АЦП ДИ) основан на последовательном интегрировании сначала входного преобразуемого напряжения, затем опорного напряжения интегратором. В АЦП ДИ входят следующие устройства: двухпозиционный электронный ключ Кл (рисунок 7.7), интегратор И, схема управления СУ, генератор тактовых импульсов ГИ, компаратор К и счетчик СТ.

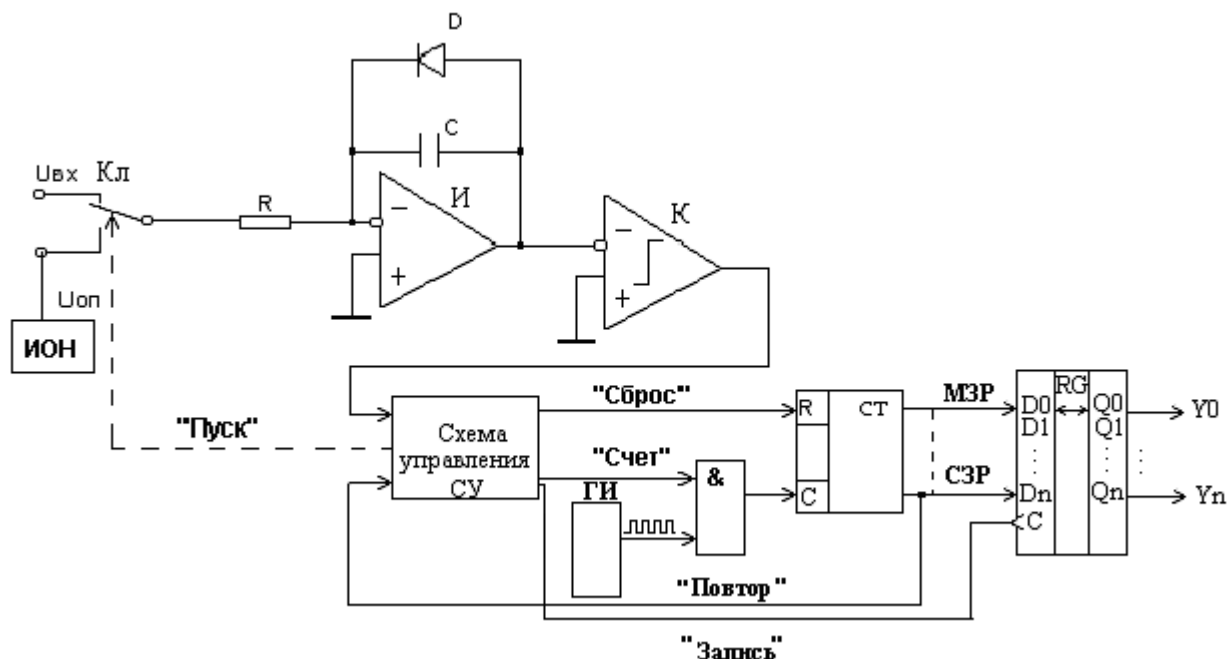


Рисунок 7.7 – Структурная схема АЦП (ДИ)

При интегрировании входного сигнала в течении некоторого фиксированного времени T напряжение на выходе интегратора изменится на величину:

$$dU_{\text{ВЫХ}} = dU_C = TU_{\text{ВХ}} / RC, \text{ т.к.} \quad (1)$$

$$dU_C = \frac{1}{C} \cdot \frac{dQ_C}{dt} = \frac{1}{C} \cdot i_C \cdot dt = \frac{1}{C} \cdot \frac{U_{\text{ВХ}}}{R} \cdot dt = \frac{1}{RC} \cdot U_{\text{ВХ}} \cdot dt,$$

где: RC - постоянная времени интегрирования интегратора.

Если затем интегрировать опорное напряжение $U_{\text{ОП}}$ противоположного знака, то напряжение на выходе интегратора примет исходное значение за некоторое время t , пропорциональное изменениям dU_C , т. е. величине $U_{\text{ВХ}}$. В этом случае можно записать:

$$dU_C = tU_{\text{ОП}}/RC \quad (2)$$

Из выражений (1) и (2) находим:

$$t = (U_{ВХ} / U_{ОП}) T \quad (3)$$

Таким образом, задача преобразования сводится к измерению (3) о- ванного времени T и переменного времени t , зависящего от $U_{ВХ}$. Время T можно измерить, если заполнить полностью счетчик с фиксированной емкостью 2^N импульсами с тактовой частотой f . Тогда:

$$T = 2^N / f \quad (4)$$

Следующим шагом (после заполнения счетчика) будет продолжение сче- та тем же счетчиком в течение времени t . При этом счетчиком за время t будет подсчитано число импульсов:

$$n = f \cdot t,$$

откуда находим:

$$t = n / f \quad (5)$$

Подставляя в (3) выражения (4) и (5) получим:

$$n = 2^N (U_{ВХ} / U_{ОП}) \quad (6)$$

Следовательно, в счетчике запишется цифровой двоичный код, пропор- циональный $U_{ВХ}$.

Алгоритм работы схемы, приведенный на рисунке 7.7, будет следую- щим:

- схема управления СУ выдает команду на двухпозиционный ключ Кл и подключает $U_{ВХ}$ к интегратору, одновременно сбрасывается счетчик СТ в "0" состояние и начинается процесс интегрирования поданного напряжения. Вы- ходное напряжение интегратора изменяется и при достижении порога срабаты- вания компаратора вызывает появление на его выходе изменение логического уровня;

- логический сигнал с выхода компаратора поступает на схему управле- ния СУ, которая сигналом "Счет" открывает через элемент "И" счет импульсов в счетчике от тактового генератора;

- после заполнения счетчика и его самообнуления импульсом с номером счетчик с его старшего разряда поступает сигнал "Повтор" на СУ, по которому СУ переключает ключ Кл в положение $U_{ОП}$ и процесс интегрирования повторя- ется для $U_{ОП}$. Одновременно продолжается счет импульсов с генератора в счет- чике;

- в некоторый момент времени t компаратор возвращается в исходное со- стояние, счет в счетчике останавливается с числом подсчитанных импульсов $n = 2^N (U_{ВХ} / U_{ОП})$, преобразование входного напряжения в цифровой код закан- чивается;

- цифровой код со счетчика переписывается в регистр хранения по ко- манде "Запись" с СУ. Следующий цикл преобразования происходит после пе- реноса информации в регистр хранения с поступлением очередного импульса "Запуск".

К недостаткам АЦП (ДИ) можно отнести невысокое быстродействие. Однако, у них практически отсутствует зависимость погрешности преобразования от изменения параметров элементов схемы. Эти преобразователи обладают высокой точностью преобразования. Дифференциальная нелинейность может быть в пределах 0,01 – 0,1 цены МЗР, интегральная нелинейность – (0,001-0,01) МЗР.

7.2.1.4 АЦП с поразрядным уравниванием АЦП (ПУ) нашли самое широкое распространение. АЦП (ПУ) характерны такие свойства, как большое число уровней квантования (до 12 -14 двоичных разрядов), среднее быстродействие (10^5 - 10^6 преобразований в с). Существенным недостатком АЦП (ПУ) являются большие значения дифференциальной и интегральной нелинейностей (1/2 - 1 цены МЗР).

На рисунке 7.8 приведена структурная схема АЦП (ПУ), которая включает: регистр последовательных приближений (РПП), цифро - аналоговый преобразователь (ЦАП), компаратор (К), генератор тактовых импульсов (ГИ), регистр хранения (RG), схему управления (СУ), источник опорного напряжения (ИОН). В момент поступления сигнала "Пуск" со схемы управления СУ на регистр последовательных приближений начинается цикл преобразований в АЦП в следующей последовательности:

- сигналом "Пуск" в старший разряд РПП заносится лог. "1", а в остальные разряды лог. "0";

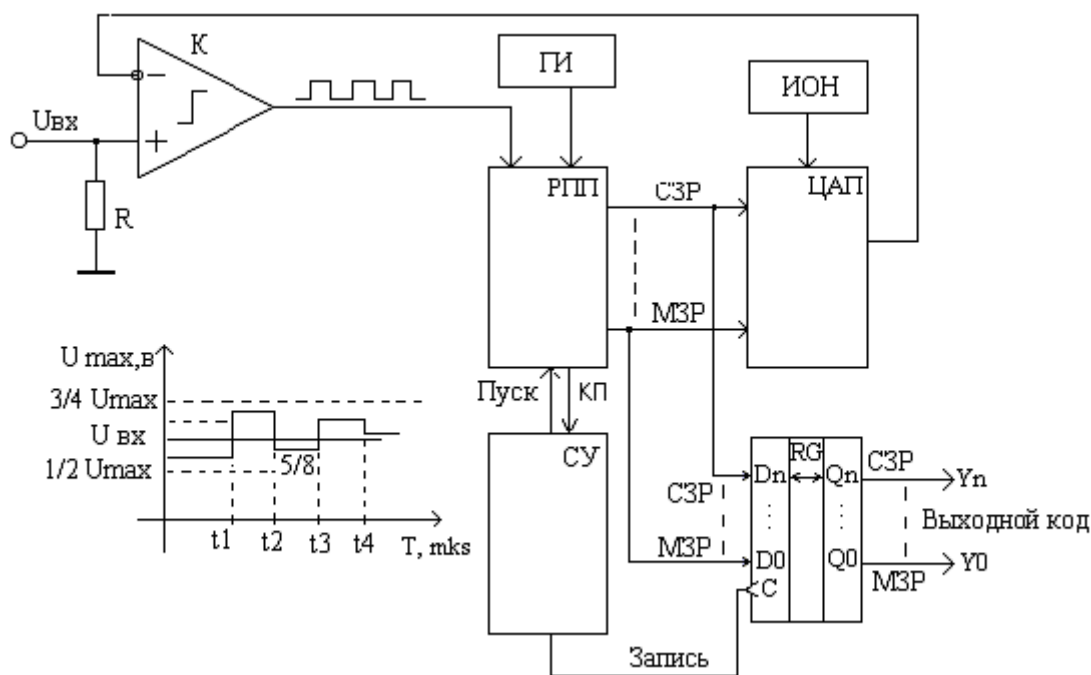


Рисунок 7.8 – Структурная схема АЦП (ПУ) и временная диаграмма, поясняющая принцип преобразования

- на выходе ЦАП появляется напряжение, равное половине опорного напряжения с ИОНа. Если $U_{вх} > 1/2 U_{оп}$, то на выходе компаратора появляется лог. "1", поступающая на РПП и в старшем разряде РПП сохраняется "1", запи-

санная при пуске преобразователя. В противном случае компаратор выдает "0" и в старшем разряде РПП стирается "1" и записывается "0";

- с поступлением второго импульса с ГИ на РПП происходит запись "1" в следующий старший разряд и на выходе ЦАП формируется напряжение, соответствующее коду двух старших разрядов РПП, которое также может быть меньше или больше входного напряжения и во второй разряд РПП запишется "0" или "1" в зависимости от выходного состояния компаратора;

- далее происходит последовательное опробирование каждого следующего разряда РПП и последовательное сравнение входного напряжения и напряжения с ЦАП. После опроса младшего (последнего) разряда с РПП появляется сигнал "Конец преобразования" (КП), а в РПП будет записан код, соответствующий входному напряжению с погрешностью, равной $\pm 1/2$ цены младшего значащего разряда;

- по сигналу "КП" схема управления вырабатывает сигнал "Запись" на регистр хранения и данные переносятся в RG. После этого цикл измерений повторяется по сигналу "Пуск" со схемы управления.

Российская электронная промышленность выпускает сейчас несколько типов АЦП (ПУ), например: 1113 ПВ1, 1108 ПВ2. АЦП ПУ 1113 ПВ 1 имеют выходные шинные формирователи с тремя состояниями и могут подключаться непосредственно к микропроцессорной системе и управляться от нее.

7.2.2 Порядок выполнения практикума

Для проведения практикума необходимо: осциллограф, генератор сигналов, лабораторный стенд "Схемотехника АЦП и ЦАП", цифровой вольтметр.

Выполните работу в следующей последовательности:

1) измерьте временные и амплитудные параметры сигналов, формируемых генератором сигналов. Для этого включите сетевую вилку стенда в сеть, включите тумблер "Питание" в положение "Вкл", при этом должен светиться индикатор "Питание";

2) подключите осциллограф к гнездам "Выход" генератора сигналов (ГС). Последовательно в соответствии с таблицей 7.2 установите ручки управления ГС в необходимое положение, а кнопками задайте "Код канала". Для каждой позиции таблицы 7.2 измерьте перечисленные параметры сигналов и зарисуйте осциллограммы;

Таблица 7.2 – Алгоритм управления генератором сигналов

№ по-зи-ции	Наблю-даемый сигнал	Код ка-на-ла	Генератор пря-моугольных им-пульсов				Генератор пилообраз-ных им-пульсов			Генера-тор шума	Измеряемые параметры
			Код канала	Амплитуда	Частота	Регулиров-ка уровня	Амплитуда	Частота	Регулиров-ка уровня		
1	2	3	4	5	6	7	8	9	10	11	12
1	Импульс	00	00	+	+	*	*	*	*	*	Амплитуда, частота, спад фронт и срез импульса
2	Импульс	00	11	+	+	*	*	*	*	*	Амплитуда, частота, спад фронт и срез импульса
3	Постоян-ный уро-вень	11	01	*	*	+	*	*	*	*	Постоянный уровень на-пряжения
4	Пилооб-разный импульс	01	*	*	*	*	+	+		*	Амплитуда, частота, фронт и срез
5	Шумо-вой сиг-нал	10	01	*	*	+	*	*	*	+	Max и min ам-плитуда
6	Импульс случай-ной ам-плитуды	10	00	+	+	*	*	*	*	+	Max, среднюю и min ампли-туда

Обозначения в таблице:

* - положение ручки управления может быть произвольной;

+ - ручкой управления можно регулировать наблюдаемый параметр сигнала.

3) установите ручки управления ГС в соответствии с позицией 3 таблицы 7.2 и лабораторного стенда (ЛС) с позицией 1 таблицы 7.3;

Таблица 7.3 – Алгоритм управления лабораторным стендом

№ позиции	Положение ручек управления ЛС								
	Преобразование		Частота преобразований, кГц			"АЦП-ЦАП"		ИОН, цена младшего разряда, мВ	
	Ручное	Автомат	5	10	15	АЦП	ЦАП	5	10
1	+		+			+			+
2		+		+		+			+

Обозначения в таблице:

+ - положение ручки управления.

4) соберите схему рабочего места в соответствии с рисунком 7.8;

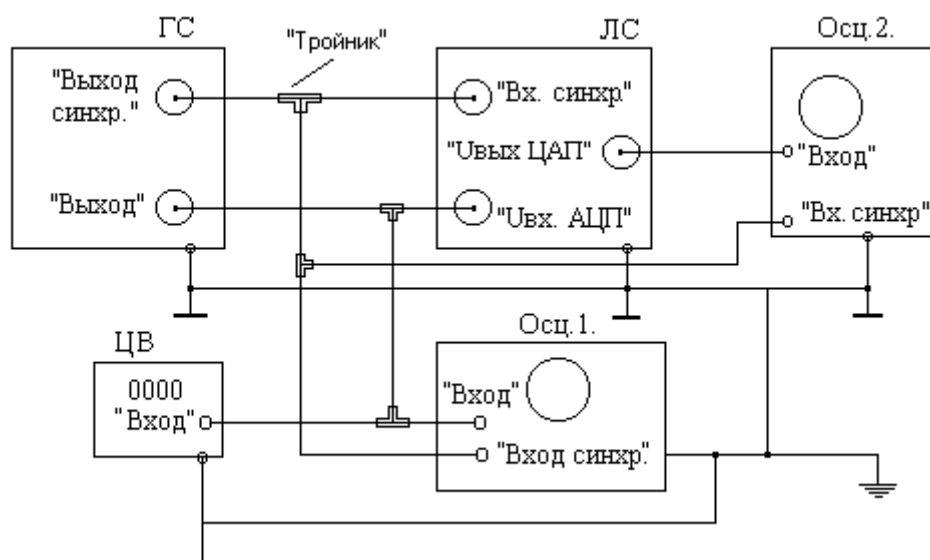


Рисунок 7.9 – Схема эксперимента

5) включите стенды тумблерами "Сеть" и "Питание";

6) устанавливайте ручкой "Регулировка уровня" по цифровому вольтметру ряд напряжений 10, 20, 30, 40, 100мВ и 0,5; 1; 2; 3, 5, 7, 9 В. Для каждого значения напряжения несколько раз (не менее 5) нажимайте кнопку "Сброс", затем кнопку "Ручное" и записывайте цифровой код с индикаторов схемы индикации ЛС. Вычисляйте среднее значение кода и записывайте в столбцы "Входное напряжение" и "Среднее значение кода" таблицы измерений. Вычислите цену МЗР (младшего значащего разряда) АЦП, т.е. ширину канала из выражения:

$$\text{МЗР} = (3,00 - 0,01) / (Y_K - Y_H),$$

где: Y_K , Y_H - цифровые коды, соответствующие максимальному и минимальному уровням входного напряжения.

Постройте передаточную характеристику АЦП и определите интегральную нелинейность преобразований;

7) отключите цифровой вольтметр. Установите ручки управления ГС и ЛС в соответствии с позицией 1 таблицы 2 и с позицией 2 таблицы 3. Посмотрите осциллограммы осциллографом 1 и измерьте параметры входных прямоугольных импульсов в гнезде "U_{ВХ АЦП}" и сигналов в гнездах "f такт", "Сброс и начало преобразования", "Конец преобразования - записи". Осциллографом 2 наблюдайте за процессом последовательных приближений уровней осциллограммы "U_{ВЫХ ЦАП}" к уровню сигнала "U_{ВХ АЦП}", зарисуйте осциллограмму "U_{ВЫХ ЦАП}". Запишите показания цифрового кода и по его значению определите амплитуду входного сигнала;

8) установите ручки управления ГС в позицию 4 (таблицу 7.2), а ЛС в позицию 2 (таблицу 7.3). Ручками "Амплитуда", "Частота грубо", "Частота плавно" генератора пилы установите по осциллографу 1 амплитуду импульсов 7,5 В с частотой 1 кГц;

9) запишите не менее 100 показаний цифрового кода с индикатора ЛС, переведите каждое показание в десятичный код и постройте гистограмму распределения уровней пилообразного напряжения в координатах, показанных на рисунке 7.10;

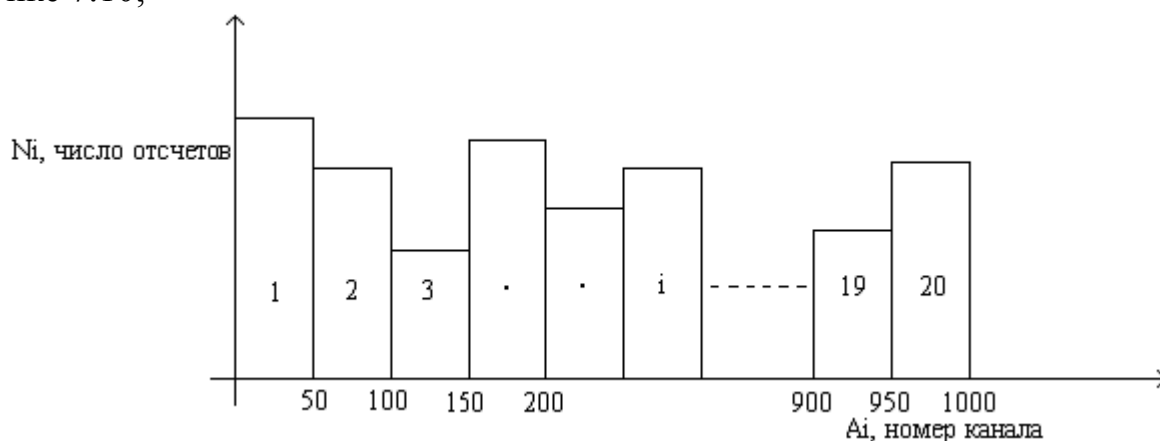


Рисунок 7.10 - Гистограмма распределения амплитуды пилообразного сигнала

В каждый из интервалов, содержащих 50 последовательных цифровых кодов, необходимо вносить по оси ординат число отсчетов, попавших в этот интервал;

10) установите ручки управления ГС в соответствии со строкой 5 (таблицу 7.2), а ЛС - со строкой 2 (таблицу 7.3).

Ручкой "Амплитуда" генератора шума ГС установите по осциллографу максимальную амплитуду шумов в пределах 4 -5 В. Повторите регистрацию данных в соответствии с п.9 настоящей методики и постройте гистограмму распределения уровней шумового сигнала.

11) установите ручки управления ГС согласно строки 6 таблицы 7.2, а ЛС - строки 2 таблицы 7.3. Ручками "Амплитуда" генератора прямоугольных импульсов и генератора шума ЛС отрегулируйте максимальную амплитуду пря-

моугольных импульсов с наложенными шумами в пределах 6 - 7 В. Повторите запись данных и постройте гистограмму распределения случайной амплитуды сигнала (амплитудного спектра) по методике п.9;

12) найдите математическое ожидание \bar{A} (среднестатистическое значение), среднеквадратическое отклонение σ гистограммы распределения случайной амплитуды импульсов из выражений:

$$\bar{A} = \sum A_i n_i / \sum n_i ,$$

$$\sigma = \sqrt{d} = \sqrt{\sum_{i=1}^m (A_i - \bar{A})^2 n_i / \sum n_i} ,$$

где: A_i - номер канала ($A_i = 1, 2, 3, \dots, 10, \dots, 20$ рисунок 7.10);

n_i - число отсчетов в i - канале.

При суммировании число каналов i необходимо выбирать в пределах гистограммы амплитудного спектра.

7.2.3 Контрольные вопросы к практикуму

1 Какие виды АЦП используются в технических системах? Перечислите преимущества и недостатки каждого вида АЦП.

2 Объясните алгоритм работы АЦП двойного интегрирования.

3 Каким образом происходит преобразование амплитуды сигналов в цифровой вид в АЦП параллельного действия?

4 Как работает АЦП последовательных приближений? Назовите предельные параметры этого вида АЦП.

5 Дайте определение дифференциальной и интегральной нелинейностей.

Список использованных источников

- 1 Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника. /Полный курс/: Учебник для вузов /Под ред. Глудкина О.П. – М.: Горячая линия – Телеком, 2002. – 768 с.
- 2 Степаненко И.П. Основы микроэлектроники, - М.: Лаборатория базовых знаний, 2002. –
- 3 Лачин В.И., Савелов И.С. Электроника: Учеб.пособие. –Ростов-на-Дону: Изд-во Феникс, 2001. –
- 4 Нефедов В.И. Основы радиоэлектроники и связи: Учебник для вузов/ В.И.Нефедов – 2-е изд., перераб. и доп. – М.: Высш. шк., 2002. –
- 5 Шило В.Л. Линейные интегральные схемы. М.: - Советское радио. 1989. –
- 6 Хоровиц П., Хилл У. Искусство схемотехники. т.1- т3. - М.: МИР, 1994. –
- 7 Букреев И.Н., Мансуров Г.М., Горячев В.И. Микроэлектронные схемы цифровых устройств. М.: Сов.радио, 1975. –
- 8 Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988. –